Machine Translated by Google

MFRC522

Contactloze lezer IC

Rev. 3.2 - 22 mei 2007
112132

Productgegevensblad
PUBLIEKE INFORMATIE

1. Inleiding

Dit document beschrijft de functionaliteit van de contactloze lezer/schrijver MFRC522. Het omvat de functionele en elektrische specificaties.

2. Algemene beschrijving

De MFRC522 is een sterk geïntegreerde lezer/schrijver voor contactloze communicatie op 13,56 MHz. De MFRC522-lezer ondersteunt de ISO 14443A / MIFARE®-modus.

Het interne zendergedeelte van de MFRC522 kan een lezer/schrijver-antenne aansturen die is ontworpen om te communiceren met ISO/IEC 14443A/MIFARE®- kaarten en transponders zonder extra actieve circuits. Het ontvangergedeelte biedt een robuuste en efficiënte implementatie van een demodulatie- en decoderingscircuit voor signalen van ISO/IEC 14443A/MIFARE®- compatibele kaarten en transponders. Het digitale gedeelte zorgt voor de volledige ISO/IEC 14443A framing en foutdetectie (Parity & CRC). De MFRC522 ondersteunt MIFARE®Classic (bijv. MIFARE® Standard) producten. De MFRC522 ondersteunt contactloze communicatie met MIFARE® hogere overdrachtssnelheden tot 848 kbit/s in beide richtingen.

Er zijn verschillende hostinterfaces geïmplementeerd:

- SPI-interface
- seriële UART (vergelijkbaar met RS232 met spanningsniveaus volgens voedingsspanning pad) • I 2C-interface.

3. Functies

Sterk geïntegreerde analoge circuits om reacties te demoduleren en decoderen

Gebufferde uitgangsdrivers om een antenne aan te sluiten met een minimaal aantal externe componenten

Ondersteunt ISO/IEC 14443A / MIFARE®

Typische werkafstand in Lezer/Schrijver-modus voor communicatie met een ISO/IEC 14443A / MIFARE® tot 50 mm afhankelijk van antennemaat en afstemming

Ondersteunt MIFARE® Classic-encryptie in Reader/Writer-modus

Ondersteunt ISO/IEC 14443A communicatie met hogere overdrachtssnelheden tot 848 kbit/s

Ondersteuning van de MFIN / MFOUT

Extra voeding om direct via MFIN / aangesloten smartcard-IC te voeden MFUIT

Ondersteunde hostinterfaces

NXP founded by Philips

Machine Translated by Google

SPI-interface tot 10 Mbit/s I
2C-interface tot 400 kbit/s in Fast-modus, tot 3400 kbit/s in High-speed-modus seriële UART in verschillende overdrachtssnelheden tot 1228,8 kbit/s, framing volgens RS232 interface met spanningsniveaus volgens padspanningstoevoer Comfortabele 64 byte FIFO-buffer voor verzenden en ontvangen Flexibele interruptmodi Harde reset met energiezuinige functie Uitschakelmodus per software Programmeerbare timer Interne oscillator om 27,12 MHz quartz aan te sluiten 2,5 - 3,3 V voeding CRC Co- processor Vrij programmeerbare I/O-pinnen Interne zelftest

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

4. Snelle referentiegegevens

Tabel 1. Snelle referentiegegevens

Symbool	Parameter	Voorwaarden		Min	Type	Max	Eenheid
AFDELING	Voedingsspanning	AVSS = DVSS = PVSS= TVSS =0 V,	——		-	3,6 V	
DVDD		PVDD ÿ AVDD = DVDD = TVDD	[1][2]				
TVDD			[1][2]				
PVDD	Pad voeding	AVSS = DVSS = PVSS= TVSS =0 V, PVDD ÿ AVDD = DVDD = TVDD	[3]	1.6	-	3,6 V	
SVDD	MFIN/MFOUT Padvoeding Levering	AVSS = DVSS = PVSS= TVSS =0 V,		1.6	-	3,6 V	
IHPD	Harde uitschakelstroom	AVDD = DVDD = TVDD = PVDD = 3 V, NRESET = LAAG	[4]	--5	ÿA		
ISPD	Zachte uitschakelstroom	AVDD = DVDD = TVDD = PVDD = 3 V, RF-niveaudetector aan	[4]	-	-	10	ÿA
IDVDD	Digitale voedingsstroom	DVDD = 3 V		-	6.5	9	mA
IAVDD	Analoge voedingsstroom	AVDD = 3 V, bit RCVUit = 0		-	7	10	mA
IAVDD,RCVOFF	Analoge voedingsstroom, ontvanger uitgeschakeld	AVDD = 3 V, bit RCVUit = 1		-	3	5	mA
IPVDD	Padvoedingsstroom		[2]	-	-	40	mA
ITVDD	Zender Voedingsstroom	Aanhoudende golf	[1][3][8]	-	60	100mA	
ook	bedrijfsomgevingstemperatuur			-25		+85°C	

[1] Voedingsspanning onder 3 V vermindert de prestatie (bijv. de haalbare werkafstand).

[2] AVDD, DVDD en TVDD moeten altijd op hetzelfde spanningsniveau staan.

[3] PVDD moet altijd op hetzelfde of een lager spanningsniveau staan dan DVDD.

[4] ITVDD is afhankelijk van TVDD en de externe circuits die zijn aangesloten op Tx1 en Tx2

[5] IPVDD is afhankelijk van de totale belasting van de digitale pinnen.

[6] Tijdens bedrijf met een typisch circuit is de totale stroom lager dan 100 mA.

[7] ISPD en IHPD zijn de totale stromen over alle leveringen.

[8] Typische waarde bij gebruik van een aanvullende driverconfiguratie en een antenne afgestemd op 40 ÿ tussen TX1 en TX2 op 13,56 MHz

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

5. Bestelinformatie

Tabel 2: Bestelinformatie

Type nummer	Pakket		
	Naam	Beschrijving	Versie
MFRC52201HN1/LADEB (geleverd in 1 dienblad)	HVQFN32	zie Pakketoverzicht in Figuur 33 “Pakketoverzicht pakketversie (HVQFN32)” zie Verpakkingsinformatie in afbeelding 34 “Verpakkingsinformatie 1 lade”	SOT617-1
MFRC52201HN1/TRAYBM (geleverd in 5 dienbladen)	HVQFN32	zie Pakketoverzicht in Figuur 33 “Pakketoverzicht pakketversie (HVQFN32)” zie Verpakkingsinformatie in afbeelding 35 “Verpakkingsinformatie 5Tray”	SOT617-1

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

6. Blokschema

De analoge interface zorgt voor de modulatie en demodulatie van de analoge signalen.

De contactloze UART handelt de protocolvereisten voor de communicatieschema's af in samenwerking met de host. De comfortabele FIFO-buffer maakt een snelle en gemakkelijke gegevensoverdracht van de host naar de contactloze UART en vice versa mogelijk.

Er worden verschillende hostinterfaces geïmplementeerd om aan verschillende klantvereisten te voldoen.

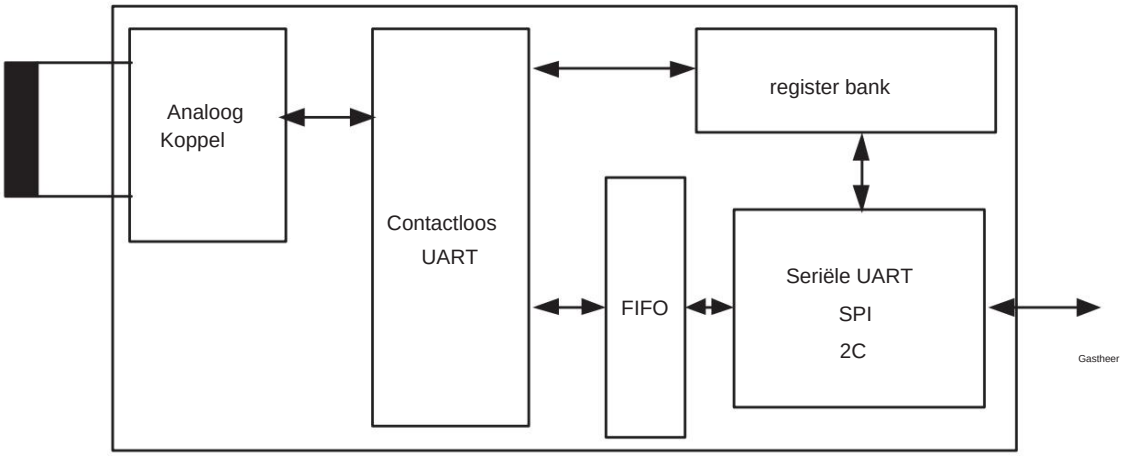


Fig 1. Vereenvoudigd MFRC522 blokschema

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

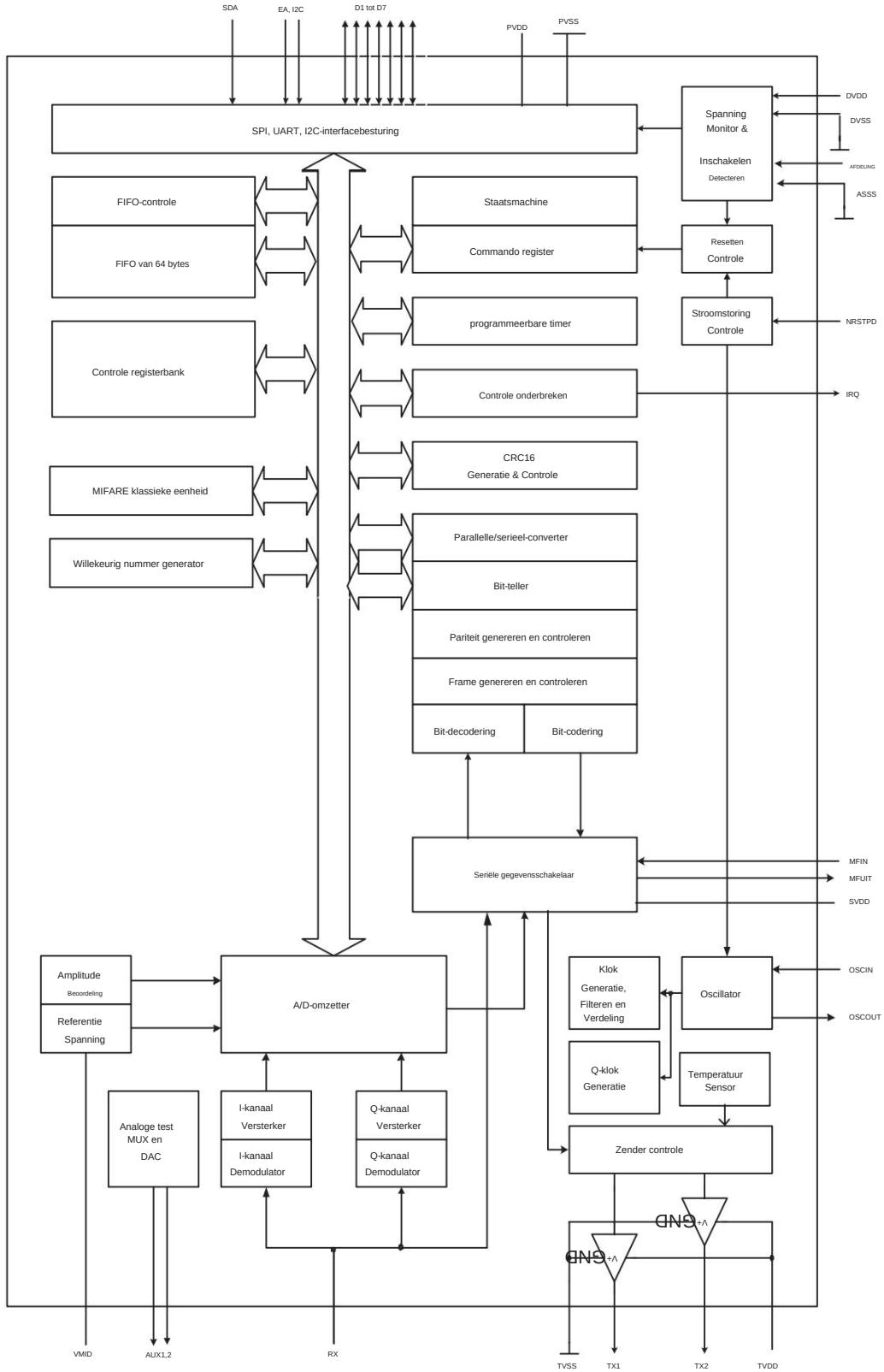


Fig 2. MFRC522 Blokschema

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

7. Informatie vastzetten

7.1 Vastzetten

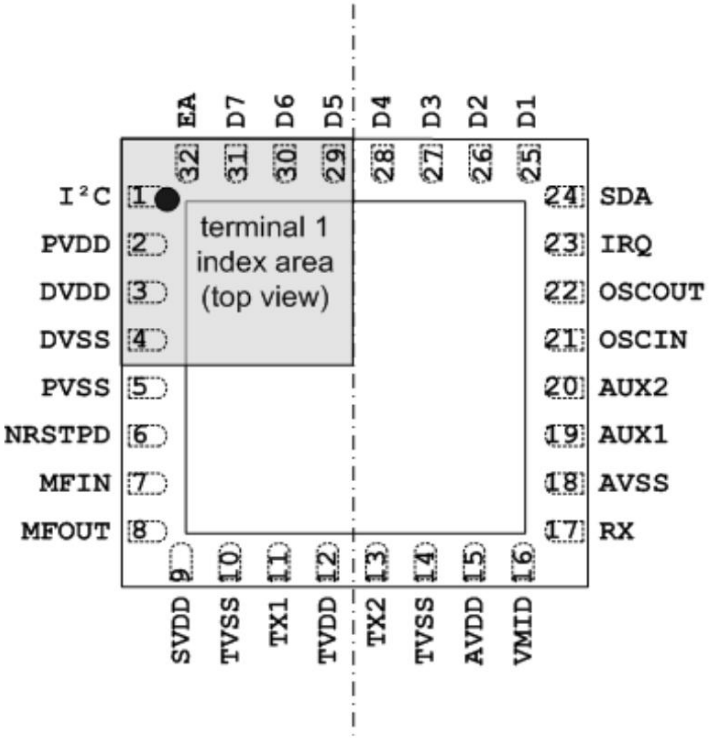


Fig 3. Vastzetconfiguratie HVQFN32 (SOT617-1).

7.2 Pinbeschrijving

Tabel 3: Pinbeschrijving

Symbool	Pin	Soort	Beschrijving
ik 2C1 ik			**I2C inschakelen[2]**
PVDD	2	PWR	**Pad-voeding**
DVDD	3	PWR	**digitale voeding**
DVSS	4	PWR	**digitale aarde[1]** —
PVSS	5	PWR	**Pad voeding geaard**
NRSTPD	6	I	**Niet resetten en uitschakelen:** wanneer LOW, worden interne stroomputten uitgeschakeld, wordt de oscillator geblokkeerd en worden de invoerpads losgekoppeld van de buitenwereld. Bij een positieve flank op deze pin begint de interne resetfase.
MFIN	7	I	**Mifare-signaalingang**
MFUIT	8	DE	**Mifare-signaaluitvoer**
SVDD	9	PWR	**MFIN / MFOUT Pad Power Supply:** levert stroom aan voor de MFIN / MFOUT-pads
TVSS	10, 14	PWR	**zenderaarde:** voedt de uitgangstrap van TX1 en TX2

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 3: Pinbeschrijving *...vervolg* **Symbool**

	Pin	Soort	Beschrijving
TX1	11	DE	**Zender 1:** levert de gemoduleerde 13,56 MHz energiedrager
TVDD	12	PWR	**-zendervoeding:** voedt de uitgangstrap van TX1 en TX2
TX2	13	DE	**Zender 2:** levert de gemoduleerde 13,56 MHz energiedrager
TVSS	10, 14	PWR	**- zenderaarde:** voedt de uitgangstrap van TX1 en TX2
AFDELING	15	PWR	**analoge voeding**
VMID	16	PWR	**interne referentiespanning:** deze pin levert de interne referentiespanning.
RX	17	I	**Ontvanger ingang.** Pin voor het ontvangen RF-signaal.
ASSS	18	PWR	**analoge aarde**
AUX1	19	DE	**Hulpuitgangen:** deze pinnen worden gebruikt voor testen.
AUX2	20	DE	
OSCIN	21	I	**Crystal Oscillator Input:** ingang naar de inverterende versterker van de oscillator. Deze pin is ook de ingang voor een extern gegenereerde klok (fosc = 27,12 MHz).
OSCOUT	22	DE	**Crystal Oscillator Output:** Uitgang van de inverterende versterker van de oscillator.
IRQ	23	DE	**Onderbrekingsverzoek:** uitvoer om een onderbrekingsgebeurtenis te signaleren
SDA	24	I	**Seriële datalijn[2]**
D1	25	IO	**Data Pins voor verschillende interfaces** (testpoort, I2IC, SPI, UART)[2]
D2	26	IO	
D3	27	IO	
D4	28	IO	
D5	29	IO	
D6	30	IO	
D7	31	IO	
EA	32	I	**Extern adres:** deze pin wordt gebruikt voor het coderen van I2C-adres[2]

[1] Aansluiting van het koellichaam aan de onderzijde van de verpakking is niet nodig. Optionele aansluiting op DVSS is mogelijk.

[2] De pinfunctionaliteit voor de interfaces wordt uitgelegd in hoofdstuk 10 "DIGITALE interfaces".

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

8. Functionele beschrijving

De MFRC522-transmissiemodule ondersteunt de Reader/Writer-modus voor ISO/IEC 14443A/MIFARE® met verschillende overdrachtssnelheden en modulatieschema's.

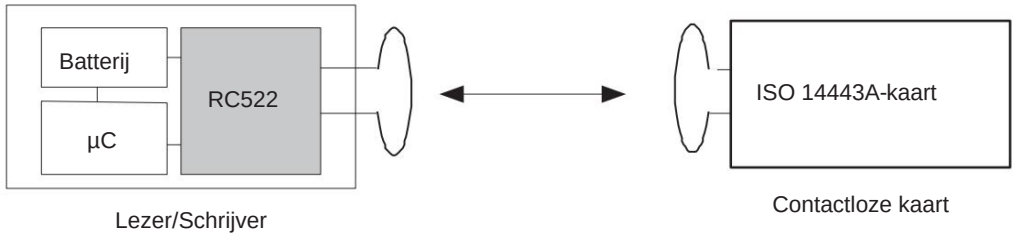
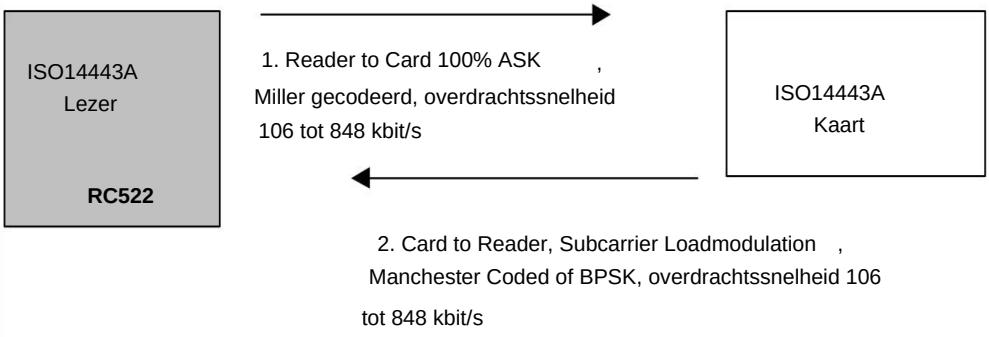


Fig 4. MFRC522 Reader/Writer-modus.

Het volgende diagram Figuur 5 "ISO/IEC 14443A/MIFARE® Reader/Writer mode communicatie diagram." beschrijft de communicatie op fysiek niveau.



Afb. 5. Communicatieschema ISO/IEC 14443A/MIFARE® Reader/Writer-modus.

Het communicatieoverzicht in Tabel 4 “Communicatieoverzicht voor ISO/IEC 14443A/MIFARE® reader/writer” beschrijft de fysieke parameters.

Tabel 4: Communicatieoverzicht voor ISO/IEC 14443A/MIFARE® reader/writer

Communicatie richting		ISO/IEC 14443A/MIFARE®			
	overdracht snelheid	106 kbit/sec	212 kbit/sec	424 kbit/sec	848 kbit/sec
Lezer ÿ Kaart (verzend gegevens van het MFRC522 naar een kaart)	Modulatie aan lezerzijde	100% VRAAG	100% VRAAG	100% VRAAG	100% VRAAG
	bit codering	Gewijzigde Miller-codering	Gewijzigd Miller-codering	Gewijzigd Miller-codering	Gewijzigd Miller-codering
	Bitlengte	(128/13,56) µs	(64/13,56) µs	(32/13,56) µs	(16/13,56) µs

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 4: Communicatieoverzicht voor ISO/IEC 14443A/MIFARE® reader/writer *...vervolg*

Communicatie richting		ISO/IEC 14443A/MIFARE®			
	overdracht snelheid	106 kbit/sec	212 kbit/sec	424 kbit/sec	848 kbit/sec
Kaart ÿ Lezer (MFRC522 ontvangt gegevens van een kaart)	modulatie aan kaartzijde	hulpdraaggolf laden modulatie	hulpdraaggolf laden modulatie	hulpdraaggolf laden modulatie	hulpdraaggolf laden modulatie
	hulpdraaggolf frequentie	13,56 MHz/16 13,56	MHz/16 13,56 MHz/16	13,56 MHz/16	
	bit codering	Manchester codering	BPSK	BPSK	BPSK

De contactloze UART van MFRC522 en een speciale externe host zijn vereist om het volledige MIFARE® / ISO/IEC 14443A / MIFARE® protocol te verwerken. De volgende afbeelding 6 "Gegevenscodering en framing volgens ISO/IEC 14443A." toont de gegevenscodering en framing volgens ISO/IEC 14443A / MIFARE®.

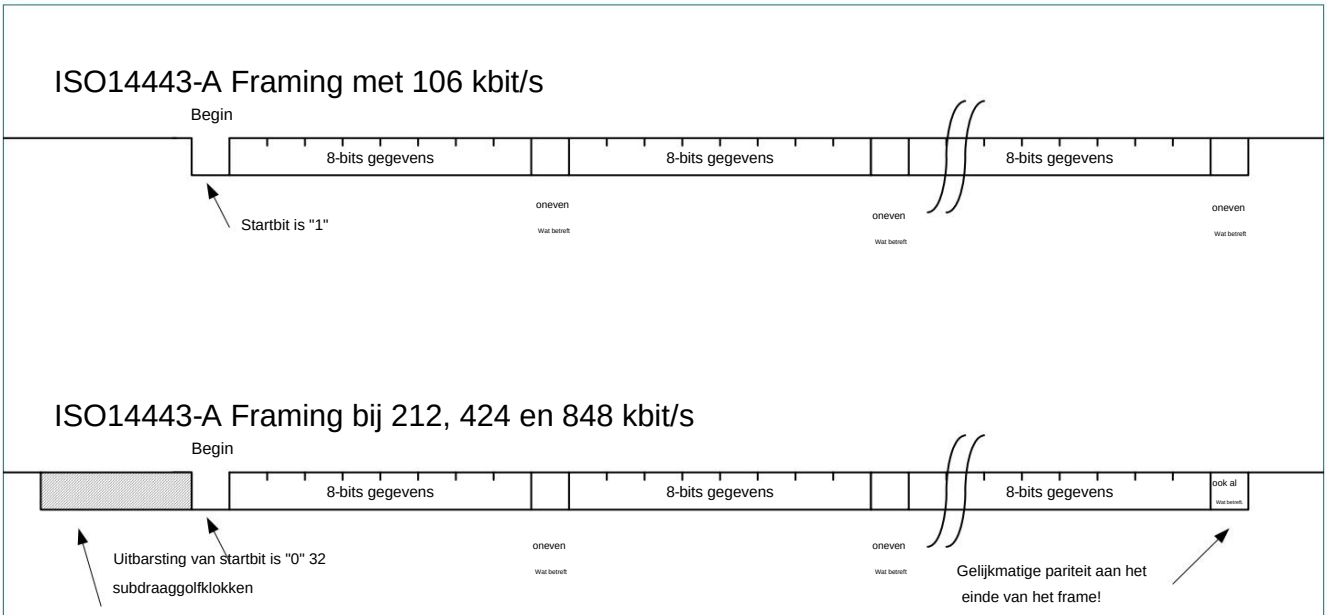


Fig 6. Gegevenscodering en framing volgens ISO/IEC 14443A.

De interne CRC-coprocessor berekent de CRC-waarde volgens de definities in ISO/IEC 14443A deel 3 en zorgt intern voor het genereren van pariteit volgens de overdrachtssnelheid. Automatische pariteitsgeneratie kan worden uitgeschakeld door bit *ParityDisable* in register *0x1D ManualRCVReg.*

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9. MFRC522 Registreer SET

9.1 Overzicht MFRC522-registers

Tabel 5: Overzicht MFRC522-registers

adres (hex)	Registreer Naam	Functie
Pagina 0: Commando en status		
0	Gereserveerd	Gereserveerd voor toekomstig gebruik
1	CommandReg	Start en stopt de uitvoering van opdrachten
2	ComlEnReg	Beheert bits om het doorgeven van onderbrekingsverzoeken in en uit te schakelen
3	DivlEnReg	Beheert bits om het doorgeven van onderbrekingsverzoeken in en uit te schakelen
4	ComIrqReg	Bevat Interrupt Request-bits
5	DivIrqReg	Bevat Interrupt Request-bits
6	ErrorReg	Foutbits die de foutstatus van de laatst uitgevoerde opdracht weergeven
7	Status1Reg	Bevat statusbits voor communicatie
8	Status2Reg	Bevat statusbits van de ontvanger en zender
9	FIFODataReg	In- en uitvoer van 64 byte FIFO-buffer
EEN	FIFOLevelReg	Geeft het aantal bytes aan dat is opgeslagen in de FIFO
B	WaterLevelReg	Definieert het niveau voor FIFO-onder- en overloopwaarschuwing
C	ControleReg	Bevat diverse controleregisters
D	BitFramingReg	Aanpassingen voor bitgeoriënteerde frames
EN	CollReg	Bitpositie van de eerste gedetecteerde bitbotsing op de RF-interface
F	Gereserveerd	Gereserveerd voor toekomstig gebruik
Pagina 1: Opdracht		
0	Gereserveerd	Gereserveerd voor toekomstig gebruik
1	Modus Reg	Definieert algemene modi voor verzenden en ontvangen
2	TxModeReg	Definieert de overdrachtsgegevenssnelheid en framing
3	RxModeReg	Definieert de ontvangstsnelheid en framing
4	TxControlReg	Regelt het logische gedrag van de antennestuurpennen TX1 en TX2
5	TxASKReg	Regelt de instelling van de TX-modulatie
6	TxSelReg	Selecteert de interne bronnen voor de antennedriver
7	RxSelReg	Selecteert interne ontvangerinstellingen
8	RxThresholdReg	Selecteert drempels voor de bitdecoder
9	Demo Reg	Definieert demodulatorinstellingen
EEN	Gereserveerd	Gereserveerd voor toekomstig gebruik
B	Gereserveerd	Gereserveerd voor toekomstig gebruik
C	MfTxReg	Regelt enkele MIFARE®- communicatietransmissieparameters
D	MfRxReg	Regelt bepaalde MIFARE®- communicatie-ontvangstparameters
EN	Gereserveerd	Gereserveerd voor toekomstig gebruik
F	SerialSpeedReg	Selecteert de snelheid van de seriële UART-interface
Pagina 2: CFG		
0	Gereserveerd	Gereserveerd voor toekomstig gebruik

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 5: Overzicht MFRC522-registers *...vervolg*

adres (hex)	Registreer Naam	Functie
1	CRCResultReg	Toont de werkelijke MSB- en LSB-waarden van de CRC-berekening
2		
3	Gereserveerd	Gereserveerd voor toekomstig gebruik
4	ModWidthReg	Regelt de instelling van de ModWidth
5	Gereserveerd	Gereserveerd voor toekomstig gebruik
6	RFCfgReg	Configureert de versterking van de ontvanger
7	GsNReg	Selecteert de geleiding van de antennestuurpennen TX1 en TX2 voor modulatie
8	CWGsPReg	
9	ModGsPReg	
EEN	TModeReg	Definieert instellingen voor de interne timer
B	TPrescalerReg	
C	TReloadReg	Beschrijft de 16-bits herlaadwaarde van de timer
D		
EN	TCounterValReg	Toont de 16 bit actuele timerwaarde
F		
Pagina 3: Testregister		
0	Gereserveerd	Gereserveerd voor toekomstig gebruik
1	TestSel1Reg	Algemene testsignaalconfiguratie
2	TestSel2Reg	Algemene testsignaalconfiguratie en PRBS-regeling
3	TestPinEnReg	Schakelt pin-uitvoerstuurprogramma in op D1-D7
4	TestPinValueReg	Definieert de waarden voor D1 - D7 wanneer deze wordt gebruikt als I/O-bus
5	TestBusReg	Toont de status van de interne testbus
6	AutoTestReg	Regelt de digitale zelftest
7	VersieReg	Toont de versie
8	AnalogTestReg	Bestuurt de pinnen AUX1 en AUX2
9	TestDAC1Reg	Definieert de testwaarde voor de TestDAC1
EEN	TestDAC2Reg	Definieert de testwaarde voor de TestDAC2
B	TestADCReg	Toont de werkelijke waarde van ADC I en Q
CF	Gereserveerd	Gereserveerd voor productietesten

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.1.1 Registerbitgedrag Afhankelijk van

de functionaliteit van een register kunnen de toegangsvoorwaarden tot het register variëren.
In principe worden bits met hetzelfde gedrag gegroepeerd in gemeenschappelijke registers. In Tabel 6 worden de toegangsvoorwaarden beschreven.

Tabel 6: Gedrag van registerbits en de aanduiding ervan

Afkorting Gedrag		Beschrijving
r/w	lezen en schrijven	Deze bits kunnen worden geschreven en gelezen door de ÿ-Controller. Aangezien ze alleen worden gebruikt voor besturingsmiddelen, wordt hun inhoud niet beïnvloed door interne toestandsmachines, het ComIEnReg-Register kan bijvoorbeeld worden geschreven en gelezen door de ÿ-Controller. Het zal ook worden gelezen door interne toestandsmachines, maar nooit door hen worden gewijzigd.
jij	dynamisch	Deze bits kunnen worden geschreven en gelezen door de ÿ-Controller. Desalniettemin kunnen ze ook automatisch worden geschreven door interne toestandsmachines, bijv. het Command-Register verandert automatisch van waarde na de uitvoering van het eigenlijke commando.
r	alleen lezen	Deze registerbits bevatten waarden die alleen worden bepaald door interne statussen. De *CRCReady*- bit kan bijvoorbeeld niet van buitenaf worden geschreven, maar toont interne statussen.
in	schrijf alleen	Het lezen van deze registerbits levert altijd NUL op.
RFU	-	Deze registers zijn gereserveerd voor toekomstig gebruik en zullen niet worden gewijzigd. In het geval van een schrijftoegang wordt aanbevolen om altijd de waarde "0" te schrijven.
RFT	-	Deze registerbits zijn gereserveerd voor toekomstig gebruik of productietest en zullen niet worden gewijzigd.

9.2 Registerbeschrijving

9.2.1 Pagina 0: commando en status

9.2.1.1 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 7: Gereserveerd register (adres 00h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 8: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tot 0	-	Gereserveerd voor toekomstig gebruik.

9.2.1.2 CommandReg Start

en stopt de uitvoering van opdrachten.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 9: CommandReg register (adres 01h); resetwaarde: 20u

Beetje	7	6	5	4	3	2	1	0
Symbool	-		RcvOff Uitschakelen		Opdracht			
Toegang Rechten	RFU		r/w	jij	jij			

Tabel 10: Beschrijving van CommandReg-bits

Beetje	Symbool	Beschrijving
7 tot 6	-	Gereserveerd voor toekomstig gebruik.
5	OntvangstUit	Op logisch 1 gezet, is het analoge gedeelte van de ontvanger uitgeschakeld.
4	PowerDown	Ingesteld op logisch 1, wordt de Soft Power-down-modus geactiveerd. Ingesteld op logische 0, start de MFRC522 de wekprocedure. Tijdens deze procedure toont deze bit nog steeds een logische 1. Een logische 0 geeft aan dat de MFRC522 bedrijfsklaar is; zie paragraaf 16.2 "Soft Power-down". **Opmerking:** De bit PowerDown kan niet worden ingesteld als het commando SoftReset is geactiveerd.
3 tegen 0	Opdracht	Activeert een opdracht volgens de opdrachtcode. Het lezen van dit register laat zien welk commando daadwerkelijk wordt uitgevoerd (zie Paragraaf 18.3 “MFRC522 Commando's Overzicht”).

9.2.1.3 CommIEnReg

Besturingsbits om het doorgeven van interruptverzoeken in en uit te schakelen.

Tabel 11: CommIEnReg register (adres 02h); resetwaarde: 80 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	IRqInv	TxIEn	RxIen	IdleIen	HiAlerTIen	LoAlerTIen	Errien	TimerIen
Toegang Rechten	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Tabel 12: Beschrijving van CommIEnReg-bits

Beetje	Symbool	Beschrijving
7	IRqInv	Ingesteld op logische 1, wordt het signaal op pin IRQ geïnverteerd ten opzichte van bit *IRq* in het register *Status1Reg.* Ingesteld op logische 0, is het signaal op pin IRQ gelijk aan bit *IRq.* In combinatie met bit *IRqPushPull* in register *DivIEnReg* zorgt de standaardwaarde van logische 1 ervoor dat het uitgangsniveau op pin IRQ tristate is.
6	in TxIE	Hiermee kan het interruptverzoek van de zender (aangegeven door bit *TxIRq)* worden doorgegeven aan pin IRQ.
5	RxIEn	Hiermee kan het interruptverzoek van de ontvanger (aangegeven door bit *RxIRq)* worden doorgegeven aan pin IRQ.
4	IdleIE	Hiermee kan het inactieve interruptverzoek (aangegeven door bit *IdleIRq)* worden doorgegeven aan pin IRQ.
3	HiAlerTIen	Hiermee wordt het high alert interrupt-verzoek (aangegeven door bit *HiAlertIRq)* mogelijk gemaakt gepropageerd om IRQ vast te pinnen.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 12: Beschrijving van CommIEnReg-bits

Beetje	Symbool	Beschrijving
2	LoAlerTIen	Maakt het mogelijk om de low alert interrupt request (aangegeven door bit *LoAlertIRq)* te zijn gepropageerd om IRQ vast te pinnen.
1	In de stad	Hiermee kan het foutonderbrekingsverzoek (aangegeven door bit *ErrIRq)* worden doorgegeven aan pin IRQ.
0	TimerIEn	Hiermee kan het timeronderbrekingsverzoek (aangegeven door bit *TimerIRq)* worden doorgegeven aan pin IRQ.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.1.4 DivIEnReg

Besturingsbits om het doorgeven van interruptverzoeken in en uit te schakelen.

Tabel 13: DivIEnReg register (adres 03h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	IRQPushPull	-		MfinActIEn	-	CRCIen	-	
Toegang Rechten	r/w	RFU		r/w	RFU	r/w	RFU	

Tabel 14: Beschrijving van DivIEnReg-bits

Beetje	Symbool	Beschrijving
7	IRQPushPull	Ingesteld op logisch 1, werkt de pin IRQ als standaard CMOS-uitgangspad. Ingesteld op logische 0, werkt de pin IRQ als open drain-uitgangspad.
6 tot 5	-	Gereserveerd voor toekomstig gebruik.
4	MfinActIEn	Hiermee kan het actieve interruptverzoek van MFIN worden doorgegeven aan pin IRQ.
3	-	Gereserveerd voor toekomstig gebruik.
2	CRCIen	Hiermee kan het CRC-onderbrekingsverzoek (aangegeven door bit *CRCIRq)* worden doorgegeven aan pin IRQ.
1 tot 0	-	Gereserveerd voor toekomstig gebruik.

9.2.1.5 CommIRqReg

Bevat Interrupt Request-bits.

Tabel 15: CommIRqReg register (adres 04h); resetwaarde: 14u

Beetje	7	6	5	4	3	2	1	0
Symbolenset1		TxIRq	RxIRq	IdleIRq	HiAlert	LoAlert	ErrIRq	TimerIRq
Toegang Rechten	in	jij	jij	jij	jij	jij	jij	jij

Tabel 16: Beschrijving van CommIRqReg-bits *Alle bits in het register CommIRqReg moeten worden gewist door software.*

Bitsymbool		Beschrijving
7	Set1	Ingesteld op logisch 1, definieert *Set1* dat de gemarkeerde bits in het register *CommIRqReg* zijn ingesteld. Ingesteld op logische 0, definieert *Set1* dat de gemarkeerde bits in het register *CommIRqReg* worden gewist.
6	TxIRq	Stel in op logische 1 onmiddellijk nadat het laatste bit van de verzonden gegevens is verzonden.
5	RxIRq	Stel in op logische 1 wanneer de ontvanger het einde van een geldige gegevensstroom detecteert. Als de bit *RxNoErr* in register *RxModeReg* is ingesteld op logisch 1, wordt Bit *RxIRq* alleen ingesteld op logisch 1 wanneer databytes beschikbaar zijn in de FIFO.
4	IdleIRq	Ingesteld op logische 1, wanneer een commando vanzelf eindigt, bijvoorbeeld wanneer de *CommandReg* zijn waarde verandert van een willekeurig commando naar het Idle Command. Als een onbekende opdracht wordt gestart, verandert de inhoud van de *CommandReg* in de inactieve toestand en wordt de bit *IdleIRq* ingesteld. Het starten van het Idle Command door de ÿ-Controller zet bit *IdleIRq niet in.*
3	HiAlertIRq	Ingesteld op logisch 1, wanneer bit *HiAlert* in register *Status1Reg* is ingesteld. In tegenstelling tot *HiAlert* slaat *HiAlertIRq* deze gebeurtenis op en kan alleen worden gereset zoals aangegeven door bit *Set1.*

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 16: Beschrijving van CommIRqReg-bits *...vervolg Alle bits in het register CommIRqReg moeten worden gewist door software.*

Bitsymbool	Beschrijving
2	LoAlertIRq Ingesteld op logisch 1, wanneer bit *LoAlert* in register *Status1Reg* is ingesteld. In tegenstelling tot *LoAlert* slaat *LoAlertIRq* deze gebeurtenis op en kan alleen worden gereset zoals aangegeven door bit *Set1.*
1	ErrIRq Stel in op logische 1 als een foutbit in het *ErrorReg* Register is ingesteld.
0	TimerIRq Stel in op logische 1 wanneer de timer het *TimerValue* Register naar nul verlaagt.

9.2.1.6 DivIRqReg

Bevat Interrupt Request-bits

Tabel 17: DivIRqReg register (adres 05h); terugstelwaarde: X0h

Beetje	7	6	5	4	3	2	1	0
Symbolenset2		-		MfinActIRq	-	CRCIRq	-	
Toegang Rechten	in	RFU		jij	RFU	jij	RFU	

Tabel 18: Beschrijving van DivIRqReg-bits *Alle bits in het register DivIRqReg moeten softwarematig worden gewist.*

Beetje	Symbool	Beschrijving
7	Set2	Ingesteld op logisch 1, definieert *Set2* dat de gemarkeerde bits in het register *DivIRqReg* zijn ingesteld. Ingesteld op logisch 0, definieert *Set2* dat de gemarkeerde bits in het register *DivIRqReg* worden gewist
6 tot 5	-	Gereserveerd voor toekomstig gebruik.
4	MfinActIRq	Stel in op logisch 1, wanneer MFIN actief is. Deze interrupt wordt ingesteld wanneer een stijgende of dalende signaalflank wordt gedetecteerd.
3	-	Gereserveerd voor toekomstig gebruik.
2	CRCIRq	Stel in op logisch 1, wanneer het CRC-commando actief is en alle gegevens zijn verwerkt.
1 tot 0	-	Gereserveerd voor toekomstig gebruik.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.1.7 ErrorReg

Foutbitregister dat de foutstatus weergeeft van het laatst uitgevoerde commando.

Tabel 19: ErrorReg register (adres 06h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	WrErr	TempErr	-	BufferOvfl	CollErr	CRCErr	ParityErr	ProtocolErr
Toegang Rechten	r	r	RFU	r	r	r	r	r

Tabel 20: Beschrijving van ErrorReg-bits

Beetje	Symbool	Beschrijving
7	WrErr	Ingesteld op logisch 1, wanneer gegevens door de host naar de FIFO worden geschreven tijdens het MFAuthent-commando of als gegevens door de host naar de FIFO worden geschreven in de tijd tussen het verzenden van het laatste bit op de RF-interface en het ontvangen van het laatste bit op de RF koppel.
6	TempErr[1]	Stel in op logisch 1, als de interne temperatuursensor oververhitting detecteert. In dit geval worden de antennedrivers automatisch uitgeschakeld.
5	-	Gereserveerd voor toekomstig gebruik.
4	BufferOvfl	Stel in op logisch 1, als de host of de interne statusmachine van een MFRC522 (bijv. ontvanger) probeert gegevens naar de FIFO-buffer te schrijven hoewel de FIFO-buffer al vol is.
3	CollErr	Stel in op logisch 1, als er een bitbotsing wordt gedetecteerd. Het wordt automatisch gewist tijdens de opstartfase van de ontvanger. Deze bit is alleen geldig tijdens de bitsgewijze anticollision bij 106 kbit/s. Bij communicatieschema's op 212, 424 en 848 kbit/s staat deze bit altijd op logisch 0.
2	CRCErr	Ingesteld op logisch 1, als bit *RxCRCEn* in register *RxModeReg* is ingesteld en de CRC-berekening mislukt. Het wordt automatisch gewist naar logisch 0 tijdens de opstartfase van de ontvanger.
1	PariteitErr	Stel in op logisch 1 als de pariteitscontrole is mislukt. Het wordt automatisch gewist tijdens de opstartfase van de ontvanger. Alleen geldig voor ISO/IEC 14443A/MIFARE®-communicatie bij 106 kbit/s.
0	ProtocolErr	Stel in op logische 1 als een van de volgende gevallen zich voordoet: • Stel in op logische 1 als de SOF onjuist is. Het wordt automatisch gewist tijdens de opstartfase van de ontvanger. De bit is alleen geldig voor 106 kbit/s. • Tijdens het MFAuthent-commando wordt bit *ProtocolErr* ingesteld op logisch 1 als het aantal ontvangen bytes in één gegevensstroom onjuist is.

[1] Bij het uitvoeren van de opdracht worden alle foutbits gewist, behalve bit TempErr. Een instelling via software is onmogelijk.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.1.8 Status1Reg

Bevat statusbits van de CRC-, Interrupt- en FIFO-buffer.

Tabel 21: Status1Reg register (adres 07h); resetwaarde: 21u

Beetje	7	6	5	4	3	2	1	0
Symbool	-	CROk	CRCReady	IRq	TRannen	-	HiAlert	LoAlert
Toegang Rechten	RFU	r	r	r	r	RFU	r	r

Tabel 22: Beschrijving van Status1Reg-bits

Beetje	Symbool	Beschrijving
7	-	Gereserveerd voor toekomstig gebruik.
6	CROK	Stel in op logisch 1, als het CRC-resultaat nul is. Voor datatransmissie en -ontvangst is de bit *CRCOk* ongedefinieerd (gebruik *CRCErr* in register *ErrorReg). CRCOk* geeft de status van de CRC-coprocessor aan, tijdens de berekening verandert de waarde naar logisch 0, als de berekening correct is uitgevoerd, verandert de waarde naar logisch 1.
5	CRCReady	Ingesteld op logisch 1, wanneer de CRC-berekening is voltooid. Deze bit is alleen geldig voor de berekening van de CRC-coprocessor met behulp van het commando CalcCRC.
4	IRq	Deze bit laat zien of een interruptbron om aandacht vraagt (voor de instelling van de interrupt enable bits, zie register *CommIEnReg* en *DivIEnReg).*
3	TRannen	Ingesteld op logisch 1, als de timereenheid van de MFRC522 loopt, zal de timer bijvoorbeeld de *TCounterValReg verlagen* met de volgende timerklok. **Opmerking:** In de gated mode wordt de bit TRunning op logisch 1 gezet, wanneer de timer geactiveerd wordt door de registerbits. Dit bit wordt niet beïnvloed door het gated signaal.
2	-	Gereserveerd voor toekomstig gebruik.
1	HiAlert	Ingesteld op logisch 1, wanneer het aantal bytes dat is opgeslagen in de FIFO-buffer voldoet aan de volgende vergelijking: = (– *FIFOLengte 64) ÿ Waterniveau* Voorbeeld: FIFOLengte = 60, Waterniveau = 4 ÿ HiAlert = 1 FIFOLengte = 59, Waterniveau = 4 ÿ HiAlert = 0
0	LoAlert	Stel in op logisch 1, wanneer het aantal bytes dat is opgeslagen in de FIFO-buffer voldoet aan de volgende vergelijking: *LoAlert FIFOLengte waterpeil* Voorbeeld: FIFOLengte = 4, Waterniveau = 4 ÿ LoAlert = 1 FIFOLength = 5, WaterLevel = 4 ÿ LoAlert = 0

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.1.9 Status2Reg

Bevat statusbits van de ontvanger, zender en datamodusdetector.

Tabel 23: Status2Reg register (adres 08h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	TempSens Duidelijk	Ik 2CForceHS	-		MFCrypto1On	Modem staat		
Toegang Rechten	r/w	r/w	RFU		jij	r		

Tabel 24: Beschrijving van Status2Reg-bits

Beetje	Symbool	Beschrijving
7	TempSensClear	Ingesteld op logisch 1, wist deze bit de temperatuurfout als de temperatuur onder de alarmgrens van 125 °C komt.
6	I2CForceHS	I2C ingangsfilter instellingen. Ingesteld op logisch 1, wordt het I2C -ingangsfilter ingesteld op de hogesnelheidsmodus, onafhankelijk van het I2C - protocol. Ingesteld op logisch 0, wordt het I2C -ingangsfilter ingesteld op het gebruikte I2C -protocol.
5 tot 4	-	Gereserveerd voor toekomstig gebruik.
3	MFCrypto1On	Deze bit geeft aan dat de MIFARE® Crypto1-eenheid is ingeschakeld en dat alle datacommunicatie met de kaart daarom is gecodeerd. Deze bit kan alleen op logisch 1 worden gezet door een succesvolle uitvoering van het MFAuthent-commando. Deze bit is alleen geldig in Reader/Writer-modus voor MIFARE® Standard-kaarten. Deze bit wordt softwarematig gewist.
2 tot 0	Modemstatus	ModemState toont de status van de statusmachines van de zender en ontvanger. Statusbeschrijving 000 Idle 001 Wacht op bit *StartSend* in register *BitFramingReg* 010 TxWait: Wacht tot Rf-veld aanwezig is, als de bit *TxWaitRF* is ingesteld op logisch 1. De minimale tijd voor TxWait wordt bepaald door het *TxWaitReg*- register. 011 Zenden 100 RxWait: Wacht tot het RF-veld aanwezig is, als de bit *RxWaitRF aanwezig* is ingesteld op logisch 1. De minimale tijd voor RxWait wordt bepaald door het *RxWaitReg*- register. 101 Wacht op gegevens 110 Ontvangen

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.1.10 FIFODataReg

In- en uitvoer van 64 byte FIFO-buffer.

Tabel 25: FIFODataReg register (adres 09u); terugstelwaarde: XXh

Beetje	7	6	5	4	3	2	1	0
Symbool	FIFOgegevens							
Toegang Rechten	jij							

Tabel 26: Beschrijving vanFIFODataReg-bits

Beetje	Symbool	Beschrijving
7 tegen 0	FIFOgegevens	Gegevensinvoer- en uitvoerpoort voor de interne FIFO-buffer van 64 bytes. De FIFO buffer fungeert als parallel in/parallel out converter voor alle seriële datastroom in- en uitgangen.

9.2.1.11 FIFOLevelReg

Geeft het aantal bytes aan dat is opgeslagen in de FIFO.

Tabel 27: FIFOLevelReg register (adres 0Ah); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	FlushBuffer	FIFONiveau						
Toegang Rechten	in	r						

Tabel 28: Beschrijving van FIFOLevelReg-bits

Beetje	Symbool	Beschrijving
7	FlushBuffer	Op logisch 1 gezet, wist deze bit de lees- en schrijfpointer van de interne FIFO-buffer en de bit *BufferOvfl* in het register *ErrReg* onmiddellijk. Het lezen van dit bit levert altijd 0 op.
6 tegen 0	FIFONiveau	Geeft het aantal bytes aan dat is opgeslagen in de FIFO-buffer. Schrijven naar de *FIFODataReg neemt toe* , lezen verlaagt het *FIFOLevel.*

9.2.1.12 WaterStandReg

Definieert het niveau voor FIFO-onder- en overloopwaarschuwing.

Tabel 29: Register WaterLevelReg (adres 0Bh); resetwaarde: 08u

Beetje	7	6	5	4	3	2	1	0
Symbool	-		Water niveau					
Toegang Rechten	RFU		r/w					

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 30: Beschrijving van WaterLevelReg-bits

Beetje	Symbool	Beschrijving
7 tot 6	-	Gereserveerd voor toekomstig gebruik.
5 tegen 0	Water niveau	Dit register definieert een waarschuwingsniveau om een FIFO-bufferover- of -onderloop aan te geven: De bit *HiAlert* in *Status1Reg* wordt op logisch 1 gezet, als het resterende aantal bytes in de FIFO-bufferruimte gelijk is aan of kleiner is dan het gedefinieerde aantal *WaterLevel*- bytes. De bit *LoAlert* in *Status1Reg* wordt ingesteld op logisch 1, als er gelijk of minder dan *WaterLevel*- bytes in de FIFO zijn. **Opmerking:** Voor de berekening van *HiAlert* en *LoAlert* zie paragraaf 9.2.1.8 “Status1Reg”.

9.2.1.13 RegelReg

Diverse controlebits.

Tabel 31: ControlReg register (adres 0Ch); resetwaarde: 10 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	TStopNow	TStartNow	-			RxLastBits		
Toegang Rechten	in	in	RFU			r		

Tabel 32: Beschrijving van ControlReg-bits

Beetje	Symbool	Beschrijving
7	TStopNow	Ingesteld op logisch 1, stopt de timer onmiddellijk. Het lezen van dit bit levert altijd 0 op.
6	TStartNow	Ingesteld op logisch 1 start de timer onmiddellijk. Het lezen van dit bit levert altijd 0 op.
5 tot 3	-	Gereserveerd voor toekomstig gebruik.
2 tot 0	RxLastBits	Toont het aantal geldige bits in de laatst ontvangen byte. Indien 0, is de hele byte geldig.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.1.14 BitFramingReg

Aanpassingen voor bitgeoriënteerde frames.

Tabel 33: BitFramingReg-register (adres 0Dh); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	StartVerzenden	RxAlign			-	TxLastBits		
Toegang Rechten	in	r/w			RFU	r/w		

Tabel 34: Beschrijving van BitFramingReg-bits

Beetje	Symbool	Beschrijving
7	StartSend	Ingesteld op logisch 1, start de verzending van gegevens. Deze bit is alleen geldig in combinatie met het commando Transceive.
6 tot 4	RxAlign	Gebruikt voor ontvangst van bitgeoriënteerde frames: *RxAlign* definieert de bitpositie voor de eerste ontvangen bit die moet worden opgeslagen in de FIFO. Verdere ontvangen bits worden op de volgende bitposities opgeslagen. Voorbeeld: RxAlign = 0: de LSB van de ontvangen bit wordt opgeslagen op bit 0, de tweede ontvangen bit wordt opgeslagen op bitpositie 1. RxAlign = 1: de LSB van de ontvangen bit wordt opgeslagen op bit 1, de tweede ontvangen bit wordt opgeslagen op bitpositie 2. RxAlign = 7: de LSB van de ontvangen bit wordt opgeslagen op bit 7, de tweede ontvangen bit wordt opgeslagen in de volgende byte op bitpositie 0. Deze bits mogen alleen worden gebruikt voor bitsgewijze anticollision met 106 kbit/s. In alle andere modi wordt deze op 0 gezet.
3	-	Gereserveerd voor toekomstig gebruik.
2 tegen 0	TxLastBits	Gebruikt voor transmissie van bit-georiënteerde frames: *TxLastBits* definieert de aantal bits van de laatste byte die zal worden verzonden. Een 000b geeft aan dat alle bits van de laatste byte worden verzonden.

9.2.1.15 CollReg

Definieert de eerste bitbotsing die op de RF-interface wordt gedetecteerd.

Tabel 35: CollReg register (adres 0Eh); terugstelwaarde: XXh

Beetje	7	6	5	4	3	2	1	0
Symbool	WaardenNaColl	-	CollPos Niet geldig	CollPos				
Toegang Rechten	r/w	RFU	r	r				

Tabel 36: Beschrijving van CollReg-bits Symbool

Beetje	WaardenAfterColl	Als deze bits Beschrijving
7		ingesteld op logische 0, worden alle ontvangende bits gewist na een botsing. Deze bit wordt alleen gebruikt tijdens bitsgewijze anticollision met 106 kbit/s, anders wordt deze ingesteld op logisch 1.
6	-	Gereserveerd voor toekomstig gebruik.
5	CollPosNotValid	Stel in op logisch 1, als er geen botsing wordt gedetecteerd of de positie van de botsing buiten het bereik van bits *CollPos valt.*

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 36: Beschrijving van CollReg-bits

Beetje	Symbool	Beschrijving
4 tot 0	CollPos	Deze bits tonen de bitpositie van de eerste gedetecteerde botsing in een ontvangen frame. Alleen databits worden geïnterpreteerd. Voorbeeld: 00h geeft een bitbotsing aan in de 32ste bit 01h duidt op een bitbotsing in het 1e bit 08h duidt op een bitbotsing in het 8e bit Deze bits worden alleen geïnterpreteerd als bit *CollPosNotValid* is ingesteld op logisch 0.

9.2.1.16 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 37: Gereserveerde kassa (adres 0Fh); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 38: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tot 0	-	Gereserveerd voor toekomstig gebruik.

9.2.2 Pagina 1: Communicatie

9.2.2.1 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 39: Gereserveerd register (adres 10h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 40: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tot 0	-	Gereserveerd voor toekomstig gebruik.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.2.2 ModeReg

Definieert algemene modusinstellingen voor verzenden en ontvangen.

Tabel 41: ModeReg register (adres 11h); terugstelwaarde: 3Fh

Beetje	7	6	5	4	3	2	1	0
Symbool	MSBFirst	-	TxWaitRF	-	PolMFin	-	CRCPreset	
Toegang Rechten	r/w	RFU	r/w	RFU	r/w	RFU	r/w	

Tabel 42: Beschrijving van ModeReg-bits

Beetje	Symbool	Beschrijving
7	MSBeerst	Ingesteld op logica 1, berekent de CRC-coprocessor de CRC met eerst MSB en zijn de *CRCResultMSB* en de *CRCResultLSB* in het *CRCResultReg*- register bits omgekeerd. **Opmerking:** Tijdens RF-communicatie wordt dit bit genegeerd.
6	-	Gereserveerd voor toekomstig gebruik.
5	TxWaitRF	Ingesteld op logisch 1 kan de zender alleen worden gestart als er een RF-veld wordt gegenereerd.
4	-	Gereserveerd voor toekomstig gebruik.
3	PolMFin	PolMFin definieert de polariteit van de MFIN-pin. Ingesteld op logisch 1, is de polariteit van de MFIN-pin actief hoog. Ingesteld op logische 0 is de polariteit van de MFIN-pin actief laag. **Opmerking:** Het interne enveloppesignaal is actief laag gecodeerd. Als u deze bit wijzigt, wordt een MFinActIRq-gebeurtenis gegenereerd.
2	-	Gereserveerd voor toekomstig gebruik.
1 tot 0	CRCPreset	Definieert de vooraf ingestelde waarde voor de CRC-coprocessor voor de opdracht CalCRC. **Opmerking:** tijdens elke communicatie worden de vooraf ingestelde waarden automatisch geselecteerd volgens de definitie in de bits in RxModeReg en TxModeReg. **Waarde Beschrijving** 00 0000 01 6363 10 A671 11 FFFF

9.2.2.3 TxModeReg

Definieert de gegevenssnelheid tijdens de verzending.

Tabel 43: TxModeReg register (adres 12h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	TxCRCEn	TxSnelheid			InvMod	-		
Toegang Rechten	r/w	jij			r/w	RFU		

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 44: Beschrijving van TxModeReg-bits

Beetje	Symbool	Beschrijving
7	TxCRCEn	Ingesteld op logisch 1, maakt deze bit de CRC-generatie mogelijk tijdens gegevensoverdracht. **Opmerking:** Deze bit mag alleen bij 106 kbit/s op logisch 0 worden gezet.
6 tot 4	TxSpeed	Definieert de bitsnelheid tijdens gegevensoverdracht. De MFRC522 ondersteunt overdrachtssnelheden tot 848 kbit/s. **Waarde** / **Beschrijving** 000 / 106 kbit/sec 001 / 212 kbit/sec 010 / 424 kbit/sec 011 / 848 kbit/sec 100 / Gereserveerd 101 / Gereserveerd 110 / Gereserveerd 111 / Gereserveerd
3	InvMod	Ingesteld op logische 1, wordt de modulatie voor het verzenden van gegevens geïnverteerd.
2 tot 0	-	Gereserveerd voor toekomstig gebruik.

9.2.2.4 RxModeReg

Definieert de datasnelheid tijdens ontvangst.

Tabel 45: RxModeReg register (adres 13h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	RxCRCEn	RxSnelheid			RxNoErr	RxMultiple	-	
Toegang Rechten	r/w	jij			r/w	r/w	RFU	

Tabel 46: Beschrijving van RxModeReg-bits

Beetje	Symbool	Beschrijving
7	RxCRCEn	Ingesteld op logisch 1, maakt deze bit de CRC-berekening tijdens ontvangst mogelijk. **Opmerking:** Deze bit mag alleen bij 106 kbit/s op logisch 0 worden gezet.
6 tot 4	RxSnelheid	Definieert de bitsnelheid tijdens het ontvangen van gegevens. De MFRC522 verwerkt overdrachtssnelheden tot 848 kbit/s. **Waarde** / **Beschrijving** 000 / 106 kbit/sec 001 / 212 kbit/sec 010 / 424 kbit/sec 011 / 848 kbit/sec 100 / Gereserveerd 101 / Gereserveerd 110 / Gereserveerd 111 / Gereserveerd

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 46: Beschrijving van RxModeReg-bits *...vervolg* **Symbool**

Beetje		Beschrijving
3	RxNoErr	Indien ingesteld op logisch 1, wordt een ongeldige ontvangen datastroom (minder dan 4 bits ontvangen) genegeerd. De ontvanger blijft actief.
2	RxMeerdere	Ingesteld op logische 0, wordt de ontvanger gedeactiveerd na ontvangst van een dataframe. Ingesteld op logisch 1, is het mogelijk om meer dan één dataframe te ontvangen. Deze bit is alleen geldig voor datasnelheden boven 106 kbit/s om het Polling-commando af te handelen. Nadat dit bit is ingesteld, worden de opdrachten voor ontvangen en verzenden niet automatisch beëindigd. In dit geval kan de meervoudige ontvangst alleen worden gedeactiveerd door een commando (behalve het Receive-commando) naar het CommandReg-register te schrijven of door het bit door de host te wissen. Indien ingesteld op logisch 1, wordt aan het einde van een ontvangen datastroom een foutbyte toegevoegd aan de FIFO. De foutbyte is een kopie van het *ErrorReg*- register.
1 tot 0	-	Gereserveerd voor toekomstig gebruik.

9.2.2.5 TxControlReg

Regelt het logische gedrag van de antennestuurpennen Tx1 en Tx2.

Tabel 47: TxControlReg register (adres 14h); resetwaarde: 80 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	InvTx2RF Op	InvTx1RF Op	InvTx2RF Uit	InvTx1RF Uit	Tx2CW -	Tx2RFEn	Tx1RFEn	
Toegang Rechten	r/w	r/w	r/w	r/w	r/w	RFU	r/w	r/w

Tabel 48: Beschrijving van TxControlReg-bits

Beetje	Symbool	Beschrijving
7	InvTx2RFOn	Ingesteld op logisch 1, wordt het uitgangssignaal op pin TX2 geïnverteerd als driver TX2 is ingeschakeld.
6	InvTx1RFOn	Ingesteld op logisch 1, wordt het uitgangssignaal op pin TX1 geïnverteerd als driver TX1 is ingeschakeld.
5	InvTx2RFOff	Ingesteld op logisch 1, wordt het uitgangssignaal op pin TX2 geïnverteerd als driver TX2 is uitgeschakeld.
4	InvTx1RFOff	Ingesteld op logisch 1, wordt het uitgangssignaal op pin TX1 geïnverteerd als driver TX1 is uitgeschakeld.
3	Tx2CW	Ingesteld op logische 1, levert het uitgangssignaal op pin TX2 continu de niet-gemoduleerde 13,56 MHz energiedrager. Ingesteld op logisch 0, is *Tx2CW* ingeschakeld om de 13,56 MHz energiedrager te moduleren.
2	-	Gereserveerd voor toekomstig gebruik.
1	In Tx2RFE	Ingesteld op logische 1, levert het uitgangssignaal op pin TX2 de 13,56 MHz energiedrager gemoduleerd door de transmissiegegevens.
0	Tx1RFEn	Ingesteld op logische 1, levert het uitgangssignaal op pin TX1 de 13,56 MHz energiedrager gemoduleerd door de transmissiegegevens.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.2.6 TxASKReg

Regelt de instellingen van de zendmodulatie.

Tabel 49: TxAutoReg register (adres 15h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-	Forceer100VRAAG	-					
Toegang Rechten	RFU	r/w	RFU					

Tabel 50: Beschrijving van TxAutoReg-bits

Beetje	Symbool	Beschrijving
7	-	Gereserveerd voor toekomstig gebruik.
6	Force100ASK	Ingesteld op logisch 1 *forceert Force100ASK* een 100% ASK-modulatie onafhankelijk van de instelling in register *ModGsPReg.*
5 tegen 0	-	Gereserveerd voor toekomstig gebruik.

9.2.2.7 TxSelReg

Selecteert de interne bronnen voor het analoge gedeelte.

Tabel 51: TxSelReg register (adres 16h); resetwaarde: 10 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	-		BestuurderSel		MfOutSel			
Toegang Rechten	RFU		r/w		r/w			

Tabel 52: Beschrijving van TxSelReg-bits

Beetje	Symbool	Beschrijving
7 tot 6	-	Gereserveerd voor toekomstig gebruik.
5 tot 4	DriverSel	Selecteert de input van driver Tx1 en Tx2.

Waarde	Beschrijving
00	Je bent verdrietig **Opmerking:** Bij soft power-down staan de drivers alleen in tristate mode als DriverSel is ingesteld op tristate mode.
01	Modulatiesignaal (envelope) van de interne coder, Miller Pulse Coded.
10	Modulatiesignaal (envelope) van MIFIN
11	Hoog **Opmerking:** Het niveau Hoog hangt af van de instelling van InvTx1RFOn/ InvTx1RFOff en InvTx2RFOn/ InvTx2RFOff.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 52: Beschrijving van TxSelReg-bits Symbool

Beetje	Beschrijving
	3 tot 0 MFOutSel Selecteert de invoer voor de MFOUT-pin.

Waarde	Beschrijving
0000	Je bent verdrietig
0001	Laag
0010	Hoog
0011	TestBus-signaal zoals gedefinieerd door bit *TestBusBitSel* in register *TestSel1Reg.*
0100	Modulatiesignaal (envelope) van de interne coder, Miller Puls Coded
0101	Seriële gegevensstroom die moet worden verzonden, gegevensstroom vóór Miller codeur
0110	Gereserveerd
0111	Seriële datastroom ontvangen, datastroom na Manchester Decoder
1000-1111	Gereserveerd

9.2.2.8 RxSelReg

Selecteert de instellingen van de interne ontvanger.

Tabel 53: RxSelReg register (adres 17h); resetwaarde: 84 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	UartSel		RxWacht					
Toegang Rechten	r/w		r/w					

Tabel 54: Beschrijving van RxSelReg-bits

Beetje	Symbool	Beschrijving
7 tot 6	UartSel	Selecteert de ingang van de contactloze UART

Waarde	Beschrijving
00	Constant laag
01	Manchester met hulpdrager van MFIN pin
10	Modulatiesignaal van het interne analoge gedeelte, standaard
11	NRZ-codering zonder subdrager van MFIN-pin. Alleen geldig voor overdrachtssnelheden boven 106 kbit/s.

5 tegen 0	RxWacht	Na datatransmissie wordt de activering van de ontvanger vertraagd voor *RxWait* -bitklokken. Tijdens deze 'frame guard time' wordt elk signaal op pin Rx genegeerd. Deze parameter wordt genegeerd door het ontvangstcommando. Alle andere commando's (bijv. Transceive, MFAuthent) gebruiken deze parameter. De teller start direct nadat het externe RF-veld is ingeschakeld.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.2.9 RxThresholdReg

Selecteert drempelwaarden voor de bitdecoder.

Tabel 55: RxThresholdReg register (adres 18h); resetwaarde: 84 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	MinNiveau				-	CollNiveau		
Toegang Rechten	r/w				RFU	r/w		

Tabel 56: Beschrijving van RxThresholdReg-bits

Beetje	Symbool	Beschrijving
7 tot 4	MinNiveau	Definieert de minimale signaalsterkte op de decoderingang die moet worden geaccepteerd. Als de signaalsterkte onder dit niveau ligt, wordt deze niet geëvalueerd.
3	-	Gereserveerd voor toekomstig gebruik.
2 tegen 0	CollNiveau	Definieert de minimale signaalsterkte aan de decoderingang die moet worden bereikt door de zwakkere halve bit van het Manchester-gecodeerde signaal om een bitbotsing te genereren ten opzichte van de amplitude van de sterkere halve bit.

9.2.2.10 Demo Reg

Definieert demodulatorinstellingen.

Tabel 57: DemodReg register (adres 19u); terugstelwaarde: 4Dh

Beetje	7	6	5	4	3	2	1	0
Symbool	AddIQ		FixIQ	-	TauRcv		TauSync	
Toegang Rechten	r/w		r/w	RFU	r/w		r/w	

Tabel 58: Beschrijving van DemodReg-bits Symbool

Beetje	Beschrijving
7 tot 6 AddIQ	Definieert het gebruik van I- en Q-kanaal tijdens ontvangst **Opmerking:** FixIQ moet op logisch 0 worden gezet om de volgende instellingen mogelijk te maken. **Waarde Beschrijving** 00 Selecteer het sterkere kanaal 01 Selecteer het sterkere kanaal en bevries het geselecteerde tijdens communicatie 10 Gereserveerd 11 Gereserveerd
5 FixIQ	Indien ingesteld op logisch 1 en de bits *AddIQ* zijn ingesteld op X0b, is de ontvangst vast op I-kanaal. Indien ingesteld op logisch 1 en de bits *AddIQ* zijn ingesteld op X1b, is de ontvangst vast op Q-kanaal.
4 -	Gereserveerd voor toekomstig gebruik.
3 tot 2 TauRcv	Wijzigt de tijdconstante van de interne PLL tijdens gegevensontvangst. **Opmerking:** indien ingesteld op 00b, wordt de PLL bevroren tijdens gegevensontvangst.
1 tot 0 TauSync	Wijzigt de tijdconstante van de interne PLL tijdens burst.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.2.11 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 59: Gereserveerd register (adres 1Ah); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 60: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tot 0	-	Gereserveerd voor toekomstig gebruik.

9.2.2.12 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 61: Gereserveerd register (adres 1Bh); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 62: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tot 0	-	Gereserveerd voor toekomstig gebruik.

9.2.2.13 MfTxReg

Bestuurt enkele MIFARE®- communicatietransmissieparameters

Tabel 63: MfTxReg register (adres 1Ch); resetwaarde: 62 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	-						TxWacht	
Toegang Rechten	RFU						r/w	

Tabel 64: Beschrijving van MifNFCReg-bits

Beetje	Symbool	Beschrijving
7 tegen 2	-	Gereserveerd voor toekomstig gebruik.
1 tot 0	TxWacht	Deze bits definiëren de extra reactietijd. Standaard worden er 7 bits toegevoegd aan de waarde van de registerbit.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.2.14 MfRxReg

Tabel 65: MfRxReg register (adres 1Dh); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-			Pariteit uitschakelen	-			
Toegang Rechten	RFU			r/w	RFU			

Tabel 66: Beschrijving van ManualRCVReg-bits

Beetje	Symbool	Beschrijving
7 tot 5	-	Gereserveerd voor toekomstig gebruik.
4	Pariteit uitschakelen	Als deze bit is ingesteld op logisch 1, wordt het genereren van de pariteitsbit voor verzending en de pariteitscontrole voor ontvangst is uitgeschakeld. De ontvangen pariteitsbit wordt behandeld als een databit.
3 tegen 0	-	Gereserveerd voor toekomstig gebruik.

9.2.2.15 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 67: Gereserveerd register (adres 1Eh); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 68: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tegen 0	-	Gereserveerd voor toekomstig gebruik.

9.2.2.16 Seriële snelheidsreg

Selecteert de snelheid van de seriële UART-interface.

Tabel 69: SerialSpeedReg-register (adres 1Fh); terugstelwaarde: EBh

Beetje	7	6	5	4	3	2	1	0
Symbool	BR_T0			BR_T1				
Toegang Rechten	r/w			r/w				

Tabel 70: Beschrijving van SerialSpeedReg-bits

Beetje	Symbool	Beschrijving
7 tot 5	BR_T0	Factor BR_T0 om de overdrachtssnelheid aan te passen, voor een beschrijving zie paragraaf 10.3.2 “Selectie van de overdrachtssnelheden”.
4 tegen 0	BR_T1	Factor BR_T1 om de overdrachtssnelheid aan te passen, voor een beschrijving zie paragraaf 10.3.2 "Selectie van de overdrachtssnelheden".

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.3 Pagina 2: Configuratie

9.2.3.1 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 71: Gereserveerde kassa (adres 20u); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 72: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tegen 0	-	Gereserveerd voor toekomstig gebruik.

9.2.3.2 CRCResultReg

Toont de werkelijke MSB- en LSB-waarden van de CRC-berekening.

Opmerking: De CRC is gesplitst in twee 8-bits registers.

Tabel 73: CRCResultReg register (adres 21h); terugstelwaarde: FFh

Beetje	7	6	5	4	3	2	1	0
Symbool	CRCResultMSB							
Toegang Rechten	r							

Tabel 74: Beschrijving van CRCResultReg hogere bits

Beetje	Symbool	Beschrijving
7 tegen 0	CRCResultMSB	Dit register toont de werkelijke waarde van de meest significante byte van het *CRCResultReg*-register. Het is alleen geldig als bit *CRCReady* in register *Status1Reg* is ingesteld op logisch 1.

Tabel 75: CRCResultReg register (adres 22u); terugstelwaarde: FFh

Beetje	7	6	5	4	3	2	1	0
Symbool	CRCResultLSB							
Toegang Rechten	r							

Tabel 76: Beschrijving van CRCResultReg lagere bits

Beetje	Symbool	Beschrijving
7 tegen 0	CRCResultLSB	Dit register toont de werkelijke waarde van de minst significante byte van het *CRCResult*-register. Het is alleen geldig als bit *CRCReady* in register *Status1Reg* is ingesteld op logisch 1.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.3.3 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 77: Gereserveerd register (adres 23u); resetwaarde: 88 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 78: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tegen 0	-	Gereserveerd voor toekomstig gebruik.

9.2.3.4 ModWidthReg

Regelt de instelling van de modulatiebreedte.

Tabel 79: ModWidthReg register (adres 24h); resetwaarde: 26 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	ModBreedte							
Toegang Rechten	r/w							

Tabel 80: Beschrijving van ModWidthReg-bits

Beetje	Symbool	Beschrijving
7 tegen 0	ModBreedte	Deze bits definiëren de breedte van de Miller-modulatie als veelvouden van de draaggolffrequentie (ModWidth +1/fc). De maximale waarde is de helft van de bitperiode.

9.2.3.5 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 81: Gereserveerd register (adres 25u); resetwaarde: 87 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 82: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tegen 0	-	Gereserveerd voor toekomstig gebruik.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.3.6 RFCfgReg

Configureert de versterking van de ontvanger.

Tabel 83: RFCfgReg register (adres 26h); resetwaarde: 48 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	-	RxGain			-			
Toegang Rechten	RFU	r/w			RFU			

Tabel 84: Beschrijving van RFCfgReg-bits

Beetje	Symbool	Beschrijving	
7	-	Gereserveerd voor toekomstig gebruik.	
6 tot 4	RxGain	Dit register definieert de signaalspanningsversterkingsfactor van de ontvanger:	
		Waarde	**Beschrijving**
		000	18 decibel
		001	23 decibel
		010	18 decibel
		011	23 decibel
		100	33 decibel
		101	38 decibel
		110	43 decibel
		111	48 decibel
3 tegen 0	-	.Gereserveerd voor toekomstig gebruik.	

9.2.3.7 GsNReg

Selecteert het geleidingsvermogen voor de N-driver van de antennedriverpennen TX1 en TX2 wanneer de driver is ingeschakeld.

Tabel 85: GsNReg register (adres 27h); resetwaarde: 88 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	CWGsN				ModGsN			
Toegang Rechten	r/w				r/w			

Tabel 86: Beschrijving van GsNOnReg-bits

Beetje	Symbool	Beschrijving
7 tot 4	CWGsN	De waarde van dit register definieert de geleidbaarheid van de output N-driver in tijden van geen modulatie. Hiermee kan het uitgangsvermogen en vervolgens het stroomverbruik en de werkafstand worden geregeld. **Opmerking:** De geleidbaarheidswaarde is binair gewogen. Tijdens de zachte uitschakelmodus wordt de hoogste bit gedwongen op 1. Deze waarde wordt alleen gebruikt als de driver TX1 of TX2 is ingeschakeld. 3 tot 0
ModGsN		De waarde van dit register definieert de geleidbaarheid van de output N-driver voor de modulatietijd. Dit kan worden gebruikt om de modulatie-index te regelen. **Opmerking:** De geleidbaarheidswaarde is binair gewogen. Tijdens de zachte uitschakelmodus wordt de hoogste bit gedwongen op 1. Deze waarde wordt alleen gebruikt als de driver TX1 of Tx2 is ingeschakeld.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.3.8 CWGsPReg

Definieert de geleiding van de P-driver in tijden van geen modulatie

Tabel 87: CWGsPReg register (adres 28h); resetwaarde: 20u

Beetje	7	6	5	4	3	2	1	0
Symbool	-		CWGsP					
Toegang Rechten	RFU		r/w					

Tabel 88: Beschrijving van CWGsPReg-bits

Beetje	Symbool	Beschrijving
7 tot 6	-	Gereserveerd voor toekomstig gebruik.
5 tot 0	CWGsP	De waarde van dit register definieert de geleiding van de uitgaande P-driver. Hiermee kan het uitgangsvermogen en vervolgens het stroomverbruik en de werkafstand worden geregeld. **Opmerking:** De geleidbaarheidswaarde is binair gewogen. Tijdens de zachte uitschakelmodus wordt de hoogste bit gedwongen op 1.

9.2.3.9 ModGsPReg

Definieert de driver P-output conductantie tijdens modulatie.

Tabel 89: ModGsPReg register (adres 29h); resetwaarde: 20u

Beetje	7	6	5	4	3	2	1	0
Symbool	-		ModGsP					
Toegang Rechten	RFU		r/w					

Tabel 90: Beschrijving van ModGsPReg-bits

Beetje	Symbool	Beschrijving
7 tot 6	-	Gereserveerd voor toekomstig gebruik.
5 tegen 0	ModGsP	De waarde van dit register definieert de conductantie van de output P-driver voor de modulatietijd. Dit kan worden gebruikt om de modulatie-index te regelen. **Opmerking:** De geleidbaarheidswaarde is binair gewogen. Tijdens de zachte uitschakelmodus wordt de hoogste bit gedwongen op 1. Als Force100ASK is ingesteld op logisch 1, heeft de waarde van ModGsP geen effect.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.3.10 TMode Register, TPrescaler Register

Definieert instellingen voor de timer.

Opmerking: De waarde van de Prescaler is verdeeld over twee registers.

Tabel 91: TModeReg register (adres 2Ah); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	TAuto	Gated		TAutoHerstart	TPrescaler_Hallo			
Toegang Rechten	r/w	r/w		r/w	r/w			

Tabel 92: Beschrijving van TModeReg-bits

Beetje	Symbool	Beschrijving
7	Auto	Ingesteld op logisch 1, start de timer automatisch aan het einde van de verzending in alle communicatiemodi bij alle snelheden. De timer stopt onmiddellijk na ontvangst van de eerste databit als de bit *RxMultiple* in het register *RxModeReg* niet is ingesteld. Als *RxMultiple* is ingesteld op logisch 1, stopt de timer nooit. In dit geval kan de timer gestopt worden door de bit *TStopNow* in register *ControlReg* op logisch 1 te zetten. Ingesteld op logische 0 geeft aan dat de timer niet wordt beïnvloed door het protocol.
6 tot 5	TGated	De interne timer loopt in gated-modus. **Opmerking:** In de gated mode is de bit *TRunning* logisch 1 wanneer de timer geactiveerd wordt door de registerbits. Deze bit heeft geen invloed op het poortsignaal. **Waarde Beschrijving** 00 Niet-gated modus 01 Omheind door MFIN 10 Gated door AUX1 11 Afgesloten door A3
4	TAutoRestart	Ingesteld op logisch 1, begint de timer automatisch opnieuw af te tellen vanaf *TReloadValue,* in plaats van af te tellen naar nul. Stel in op logische 0, de timer verlaagt naar 0 en de bit *TimerIRq* wordt ingesteld op logische 1.
3 tot 0	TPrescaler_Hi	Definieert hogere 4 bits voor *TPrescaler.* De volgende formule wordt gebruikt om fTimer te berekenen : fTimer = 6,78 MHz/TPreScaler. Zie hoofdstuk 13 "Timereenheid" voor een gedetailleerde beschrijving.

Tabel 93: TPrescalerReg register (adres 2Bh); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	TPrescaler_Hallo							
Toegang Rechten	w							

Tabel 94: Beschrijving van TPrescalerReg-bits

Beetje	Symbool	Beschrijving
7 tot 0	TPrescaler_Lo	Definieert de onderste 8 bits voor *TPrescaler.* De volgende formule wordt gebruikt om fTimer te berekenen : fTimer = 6,78 MHz/TPreScaler. Zie hoofdstuk 13 "Timereenheid" voor een gedetailleerde beschrijving.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.3.11 TReloadReg

Beschrijft de 16 bit lange timer herlaadwaarde.

Opmerking: De Reload-waarde is opgesplitst in twee 8-bits registers.

Tabel 95: TReloadReg (hogere bits) register (adres 2Ch); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	TReloadVal_Hi							
Toegang Rechten	r/w							

Tabel 96: Beschrijving van hogere TReloadReg-bits

Beetje	Symbool	Beschrijving
7 tegen 0	TReloadVal_Hi	Definieert de hogere 8 bits voor *TReloadReg.* Bij een startgebeurtenis laadt de timer de *TReloadVal.* Het wijzigen van dit register heeft alleen invloed op de timer bij de volgende startgebeurtenis.

Tabel 97: TReloadReg (Lagere bits)register (adres 2Dh); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	TReloadVal_Lo							
Toegang Rechten	r/w							

Tabel 98: Beschrijving van lagere TReloadReg-bits

Beetje	Symbool	Beschrijving
7 tegen 0	TReloadVal_Lo	Definieert de lagere 8 bits voor *TReloadReg.* Bij een startgebeurtenis laadt de timer de *TReloadVal.* Het wijzigen van dit register heeft alleen invloed op de timer bij de volgende startgebeurtenis.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.3.12 TCounterValReg

Bevat de huidige waarde van de timer.

Opmerking: De tellerwaarde is opgesplitst in twee 8-bits registers.

Tabel 99: TCounterValReg (hogere bits) register (adres 2Eh); terugstelwaarde: XXh

Beetje	7	6	5	4	3	2	1	0
Symbool	TCounterVal_Hallo							
Toegang Rechten	r							

Tabel 100: Beschrijving van hogere TCounterValReg bits Symbool

Beetje	Beschrijving
7 tegen 0	TCounterVal_Hi Huidige waarde van de timer, hogere 8 bits.

Tabel 101: TCounterValReg (lagere bits) register (adres 2Fh); terugstelwaarde: XXh

Beetje	7	6	5	4	3	2	1	0
Symbool	TCounterVal_Lo							
Toegang Rechten	r							

Tabel 102: Beschrijving van onderste TCounterValReg bits Symbool

Beetje	Beschrijving
7 tegen 0	TCounterVal_Lo Huidige waarde van de timer, onderste 8 bits.

9.2.4 Pagina 3: Testen

9.2.4.1 Gereserveerd

Functionaliteit is gereserveerd voor verder gebruik.

Tabel 103: Gereserveerd register (adres 30u); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFU							

Tabel 104: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tegen 0	-	Gereserveerd voor toekomstig gebruik.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.4.2 TestSel1Reg

Algemene testsignaalconfiguratie.

Tabel 105: TestSel1Reg register (adres 31h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-					TstBusBitSel		
Toegang Rechten	RFU					r/w		

Tabel 106: Beschrijving van TestSel1Reg-bits

Beetje	Symbool	Beschrijving
7 tot 3	-	Gereserveerd voor toekomstig gebruik.
2 tegen 0	TstBusBitSel	Selecteer de TestBus-bit van de testbus die moet worden doorgegeven aan MFOUT.

9.2.4.3 TestSel2Reg

Algemene testsignaalconfiguratie en PRBS-regeling

Tabel 107: TestSel2Reg register (adres 32h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	TstBusFlip	PRBS9	PRBS15			TestBusSel		
Toegang Rechten	r/w	r/w	r/w			r/w		

Tabel 108: Beschrijving van TestSel2Reg-bits

Beetje	Symbool	Beschrijving
7	TstBusFlip	Indien ingesteld op logisch 1, wordt de testbus toegewezen aan de parallelle poort in de volgende volgorde: TstBusBit4, TstBusBit3, TstBusBit2, TstBusBit6, TstsBusBit5, TstBusBit0. Zie hoofdstuk 19 "Testsignalen".
6	PRBS9	Start en activeert de PRBS9-reeks volgens ITU-TO150. **Opmerking:** Alle relevante registers voor het verzenden van gegevens moeten worden geconfigureerd voordat de PRBS9-modus wordt geactiveerd. De datatransmissie van de gedefinieerde sequentie wordt gestart door het zendcommando.
5	PRBS15	Start en activeert de PRBS15-reeks volgens ITU-TO150. **Opmerking:** Alle relevante registers voor het verzenden van gegevens moeten worden geconfigureerd voordat de PRBS15-modus wordt geactiveerd. De datatransmissie van de gedefinieerde sequentie wordt gestart door het zendcommando.
4 tegen 0	TestBusSel	Selecteert de testbus. Zie hoofdstuk 19 "Testsignalen"

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.4.4 TestPinEnReg

Activeert de pin output driver op de testbus.

Tabel 109: TestPinEnReg register (adres 33h); resetwaarde: 80 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	RS232LineEn	TestPinEn						-
Toegang Rechten	r/w	r/w						RFU

Tabel 110: Beschrijving van TestPinEnReg-bits

Beetje	Symbool	Beschrijving
7	RS232LineEn	Ingesteld op logische 0, zijn de lijnen MX en DTRQ voor de seriële UART uitgeschakeld.
6 tegen 1	TestPinEn	Activeert de pin output driver op D1 tot D7. **Voorbeeld:** Door bit 1 op logisch 1 te zetten, wordt D1 ingeschakeld. Door bit 5 op logisch 1 te zetten, wordt D5 ingeschakeld **Opmerking:** Als de SPI-interface wordt gebruikt, kunnen alleen D1 tot D4 worden gebruikt. Als de seriële UART-interface wordt gebruikt en RS232LineEn is ingesteld op logisch 1, kunnen alleen D1 tot D4 worden gebruikt.
0	-	Gereserveerd voor toekomstig gebruik.

9.2.4.5 TestPinValueReg

Definieert de waarden voor de testpoort wanneer deze wordt gebruikt als I/O.

Tabel 111: TestPinValueReg register (adres 34h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	GebruikIO	TestPinWaarde						-
Toegang Rechten	r/w	r/w						RFU

Tabel 112: Beschrijving van TestPinValueReg-bits

Beetje	Symbool	Beschrijving
7	GebruikIO	Ingesteld op logisch 1, activeert deze bit de I/O-functionaliteit voor de testpoort als een van de seriële interfaces wordt gebruikt. Het invoer- / uitvoergedrag wordt gedefinieerd door *TestPinEn* in register *TestPinEnReg.* De waarde voor het uitvoergedrag wordt gedefinieerd in de bits *TestPinVal.*
6 tegen 0	TestPinValue	Definieert de waarde van de testpoort, wanneer deze wordt gebruikt als I/O. Elke uitgang moet worden ingeschakeld door de *TestPinEn*- bits in register *TestPinEnReg.* **Opmerking:** Het uitlezen van het register geeft de actuele status van de pinnen D6 - D1 weer als UseIO op logisch 1 staat. Als UseIO op logisch 0 staat, wordt de waarde van het register TestPinValueReg uitgelezen.
0	-	Gereserveerd voor toekomstig gebruik.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.4.6 TestBus Reg

Toont de status van de interne testbus.

Tabel 113: TestBusReg register (adres 35h); terugstelwaarde: XXh

Beetje	7	6	5	4	3	2	1	0
Symbool	TestBus							
Toegang Rechten	r							

Tabel 114: Beschrijving van TestBusReg-bits

Beetje	Symbool	Beschrijving
7 tegen 0	TestBus	Toont de status van de interne testbus. De testbus wordt geselecteerd door het register *TestSel2Reg*. Zie hoofdstuk 19 “Testsignalen”.

9.2.4.7 AutoTestReg

Regelt de digitale zelftest.

Tabel 115: AutoTestReg register (adres 36h); resetwaarde: 40 uur

Beetje	7	6	5	4	3	2	1	0
Symbool	-	AmpRcv	-		Zelftest			
Toegang Rechten	RFU	r/w	RFT		r/w			

Tabel 116: Beschrijving van AutoTestReg-bits Symbool

Beetje	Beschrijving Gereserveerd voor productietests.
7	-
6	AmpRcv Indien ingesteld op logisch 1, wordt de interne signaalverwerking in de ontvangerketen niet-lineair uitgevoerd. Dit vergroot de werkafstand in communicatiemodi met 106 kbit/s. **Opmerking:** Vanwege de niet-lineariteit is het effect van de bits *MinLevel* en *CollLevel* in het register *RxThreshholdReg* zijn ook niet-lineair.
5 tot 4 -	Gereserveerd voor productietesten.
3 tot 0 zelftest	Schakelt de digitale zelftest in. De zelftest kan worden gestart met het zelftestcommando in het commandoregister. De zelftest is ingeschakeld door 1001b. **Opmerking:** Voor standaard werking moet de zelftest worden uitgeschakeld door 0000b.

9.2.4.8 VersieReg

Toont de versie.

Tabel 117: VersionReg register (adres 37h); terugstelwaarde: XXh

Beetje	7	6	5	4	3	2	1	0
Symbool	Versie							
Toegang Rechten	r							

Tabel 118: Beschrijving van VersionReg-bits

Beetje	Symbool	Beschrijving
7 tegen 0	Versie	Geeft de huidige versie aan. **Opmerking:** de huidige versie voor MFRC522 is 90h of 91h.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.4.9 AnalogTestReg

Bedient de pinnen AUX1 en AUX2

Tabel 119: AnalogTestReg register (adres 38h); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	AnalogSelAux1				AnalogSelAux2			
Toegang Rechten	r/w				r/w			

Tabel 120: Beschrijving van AnalogTestReg-bits

Beetje	Symbool	Beschrijving
7 tot 4	AnalogSelAux1	Regelt de AUX-pin.
3 tegen 0	AnalogSelAux2	**Opmerking:** Alle testsignalen worden beschreven in hoofdstuk 19 “Testsignalen”.
		Waarde Beschrijving
		0000 Driestaten
		0001 Uitvoer van TestDAC1 (AUX1), uitvoer van TestDAC2 (AUX2) [1]
		0010 Testsignaal Corr1 [1]
		0011 Gereserveerd
		0100 Testsignaal MinNiveau [1]
		0101 Testsignaal ADC kanaal I [1]
		0110 Testsignaal ADC kanaal Q [1]
		0111 Gereserveerd
		1000 Gereserveerd, Testsignaal voor productietest [1]
		1001 Gereserveerd
		1010 HOOG
		1011 LAAG
		1100 TxActief Bij 106 kbit/s: HOOG tijdens Startbit, Databit, Pariteit en CRC. Bij 212, 424 en 848 kbit/s: Hoog tijdens Data en CRC.
		1101 RxActief Bij 106 kbit/s: hoog tijdens databit, pariteit en CRC. Bij 212, 424 en 848 kbit/s: Hoog tijdens Data en CRC.
		1110 Subdraaggolf gedetecteerd 106 kbit/s: niet van toepassing 212, 424 en 848 kbit/s: Hoog tijdens laatste deel van Data en CRC.
		1111 Testbusbit zoals gedefinieerd door de *TstBusBitSel* in register *TestSel1Reg.*

[1] **Opmerking:** Stroomuitgang. Het gebruik van 1 kÿ pull-down weerstand op AUX wordt aanbevolen

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.4.10 TestDAC1Reg

Definieert de testwaarden voor TestDAC1.

Tabel 121: TestDAC1Reg register (adres 39h); terugstelwaarde: XXh

Beetje	7	6	5	4	3	2	1	0
Symbool	-		DAC1 testen					
Toegang Rechten	RFU		r/w					

Tabel 122: Beschrijving van TestDAC1Reg-bits

Beetje	Symbool	Beschrijving
7	-	Gereserveerd voor productietesten.
6	-	Gereserveerd voor toekomstig gebruik.
5 tegen 0	DAC1 testen	Definieert de testwaarde voor *TestDAC1*. De uitgang van de DAC1 kan worden omgeschakeld naar AUX1 door *AnalogSelAux1* in te stellen op 0001b in register *AnalogTestReg*.

9.2.4.11 TestDAC2Reg

Definieert de testwaarde voor TestDAC2.

Tabel 123: TestDAC2Reg register (adres 3Ah); terugstelwaarde: XXh

Beetje	7	6	5	4	3	2	1	0
Symbool	-		DAC2 testen					
Toegang Rechten	RFU		r/w					

Tabel 124: Beschrijving vanTestDAC2Reg-bits

Beetje	Symbool	Beschrijving
7 tot 6	-	Gereserveerd voor toekomstig gebruik.
5 tegen 0	DAC2 testen	Definieert de testwaarde voor TestDAC2. De uitgang van de DAC2 kan worden omgeschakeld naar AUX2 door *AnalogSelAux2* in te stellen op 0001b in register *AnalogTestReg*.

9.2.4.12 TestADCRReg

Toont de werkelijke waarde van het ADC I- en Q-kanaal.

Tabel 125: TestADCReg-register (adres 3Bh); terugstelwaarde: XXh

Beetje	7	6	5	4	3	2	1	0
Symbool	ADC_I				ADC_Q			
Toegang Rechten	r				r			

Tabel 126: Beschrijving van TestADCReg-bits

Beetje	Symbool	Beschrijving
7 tot 4	ADC_I	Toont de werkelijke waarde van het ADC I-kanaal.
3 tot 0	ADC_Q	Toont de werkelijke waarde van het ADC Q-kanaal.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

9.2.4.13 Gereserveerd

Functionaliteit gereserveerd voor productietest.

Tabel 127: Gereserveerd register (adres 3Ch); terugstelwaarde: FFh

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFT							

Tabel 128: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tegen 0	-	Gereserveerd voor productietesten.

Tabel 129: Gereserveerd register (adres 3Dh); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFT							

Tabel 130: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tegen 0	-	Gereserveerd voor productietesten.

Tabel 131: Gereserveerd register (adres 3Eh); resetwaarde: 03u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFT							

Tabel 132: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tegen 0	-	Gereserveerd voor productietesten.

Tabel 133: Gereserveerd register (adres 3Fh); resetwaarde: 00u

Beetje	7	6	5	4	3	2	1	0
Symbool	-							
Toegang Rechten	RFT							

Tabel 134: Beschrijving van gereserveerde registerbits

Beetje	Symbool	Beschrijving
7 tegen 0	-	Gereserveerd voor productietesten.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10. DIGITALE interfaces

10.1 Automatische ÿ-controller-interfacetypedetectie De MFRC522

ondersteunt directe interfacing van verschillende hosts als het SPI-, I2C- en seriële UART-interfacetype. De MFRC522 reset zijn interface en controleert het huidige type hostinterface automatisch na het uitvoeren van een Power-On of Hard Reset. De MFRC522 identificeert de hostinterface door middel van de logische niveaus op de besturingspennen na de resetfase. Dit wordt gedaan door een combinatie van vaste penverbindingen. De volgende tabel toont de verschillende configuraties:

Tabel 135: Aansluitschema voor het detecteren van de verschillende interfacetypen

MFRC522	Seriële interfacetypen		
Pin	UART	SPI	ik 2C
SDA	RX	NSS	SDA
I²C	0	0	1
EA	0	1	EA
D7	TX	MISO	SCL
D6	MX	ROOK	ADR_0
D5	DTRQ	SCK	ADR_1
D4	-	-	ADR_2
D3	-	-	ADR_3
D2	-	-	ADR_4
D1	-	-	ADR_5
Opmerking: Overzicht van het pingedrag			
Speld gedrag	Invoer	Uitgang	In uit

10.2 SPI-compatibele interface

Een seriële perifere interface (SPI-compatibel) wordt ondersteund om snelle communicatie met de host mogelijk te maken. De SPI-interface kan datasnelheden tot 10 Mbit/s aan. In de communicatie met een host fungeert de MFRC522 als een slaaf die gegevens ontvangt van de externe host voor registerinstellingen en voor het verzenden en ontvangen van gegevens die relevant zijn voor de communicatie op de RF-interface.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.2.1 Algemeen

Een interface die compatibel is met een SPI-interface maakt snelle seriële communicatie mogelijk tussen de MFRC522 en een ÿ-controller voor de communicatie. De geïmplementeerde SPI-compatibele interface is volgens een standaard SPI-interface.

Raadpleeg Sectie 23.8 "Timing voor de SPI-compatibele interface" voor timingspecificaties.

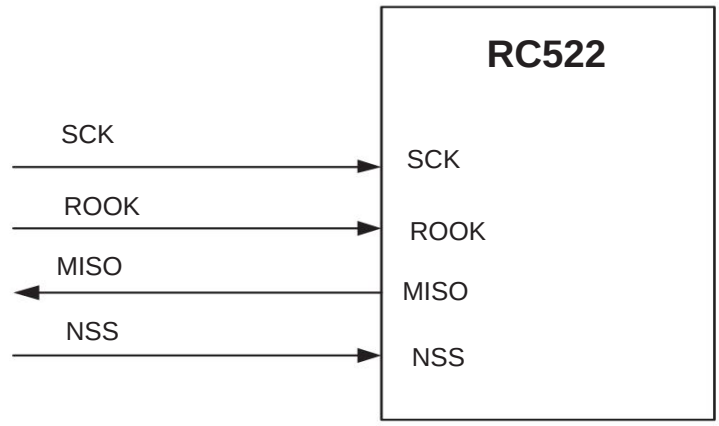


Fig 7. Verbinding met host met SPI

De MFRC522 fungeert als een slaaf tijdens de SPI-communicatie. De SPI-klok SCK moet door de master worden gegenereerd. Datacommunicatie van de master naar de slave maakt gebruik van de Line MOSI. Lijn MISO wordt gebruikt om gegevens terug te sturen van de MFRC522 naar de master.

Op beide lijnen (MOSI, MISO) wordt elke databyte eerst door MSB verzonden. Gegevens op de MOSI-lijn moeten stabiel zijn op de stijgende flank van de kloklijn en kunnen worden gewijzigd op de dalende flank. Hetzelfde geldt voor de MISO-lijn. Gegevens worden geleverd door de MFRC522 bij dalende flank en zijn stabiel tijdens stijgende flank.

10.2.2 Gegevens lezen

Om gegevens uit te lezen met behulp van de SPI-compatibele interface, moet de volgende bytevolgorde worden gebruikt. Het is mogelijk om tot n-databytes uit te lezen.

De eerste verzonden byte definieert zowel de modus zelf als de adresbyte.

Tabel 136: Bytevolgorde voor MOSI en MISO

	byte 0	byte 1	byte 2	tot	uitwisseling zn	byte n+1
ROOK	adr 0	adr 1	adr 2	……..	bijvoeglijk naamwoord	00
MISO	X	gegevens 0	gegevens 1	……..	gegevens n-1	gegevens zn

Opmerking: De meest significante bit (MSB) moet eerst worden verzonden.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.2.3 Gegevens schrijven

Om gegevens naar de MFRC522 te schrijven met behulp van de SPI-interface, moet de volgende bytevolgorde worden gebruikt. Het is mogelijk om maximaal n-databytes uit te schrijven door alleen iemands adresbyte te verzenden.

De eerste zendbyte definieert zowel de modus zelf als de adresbyte.

Tabel 137: Bytevolgorde voor MOSI en MISO

	byte 0	byte 1	byte 2	tot	uitwisseling zn	byte n+1
ROOK	adr 0	gegevens 0	gegevens 1	……	gegevens n-1	gegevens zn
MISO	X	X	X	……	X	X

Opmerking: De meest significante bit (MSB) moet eerst worden verzonden.

10.2.4 Adresbyte

De adresbyte moet het volgende formaat hebben:

Het MSB-bit van de eerste byte definieert de gebruikte modus. Om gegevens van de MFRC522 te lezen, wordt de MSB-bit ingesteld op logisch 1. Om gegevens naar de MFRC522 te schrijven, moet de MSB-bit worden ingesteld op logisch 0. De bits 6 tot 1 definiëren het adres en de LSB moet worden ingesteld op logisch 0.

Tabel 138. Adresbyte 0 register; adres MOSI

7	6	5	4	3	2	1	0
1 (lezen) 0 (schrijven)	adres						RFU
MSB							LSB

10.3 UART-interface

10.3.1 Verbinding met een host

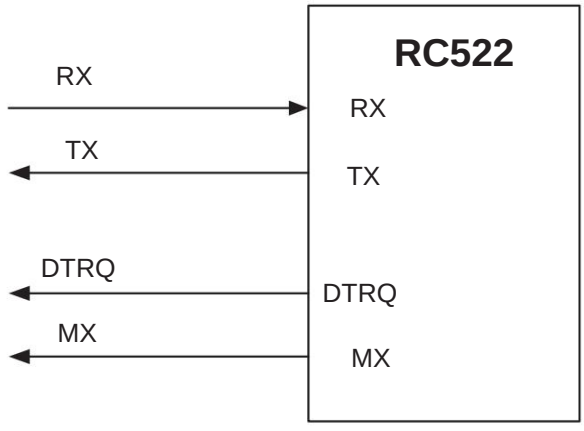


Fig 8. Verbinding met ÿ-controllers met UART.

Opmerking: DTRQ en MX kunnen worden uitgeschakeld door de bit *RS232LineEn* in register *TestPinEnReg te wissen.*

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.3.2 Selectie van de overdrachtssnelheden

De interne UART-interface is compatibel met een RS232 seriële interface.

Tabel 140 "Selecteerbare overdrachtssnelheden" beschrijft voorbeelden voor verschillende overdrachtssnelheden en relevante registerinstellingen.

De resulterende overdrachtssnelheidsfout is minder dan 1,5% voor alle beschreven overdrachtssnelheden.

De standaard overdrachtssnelheid is 9,6 kbit/s.

Om de overdrachtssnelheid te wijzigen, moet de hostcontroller een waarde voor de nieuwe overdrachtssnelheid naar het register *SerialSpeedReg schrijven.* De bits *BR_T0* en *BR_T1* definiëren factoren om de overdrachtssnelheid in de *SerialSpeedReg in te stellen.*

Tabel 139 “Instellingen van BR_T0 en BR_T1” beschrijft de instellingen van *BR_T0* en *BR_T1*.

Tabel 139: Instellingen van BR_T0 en BR_T1

BR_T0	0	1	2	3	4	5	6	7
factor BR_T0	1	1	2	4	8	16	32	64
bereik BR_T1	1 tot 32	33 tot 64	33 tot 64	33 tot 64	33 tot 64	33 tot 64	33 tot 64	33 tot 64

Tabel 140: selecteerbare overdrachtssnelheden

Overdrachtssnelheid [bit/s]	SerialSpeedReg		Nauwkeurigheid overdrachtssnelheid
	decimale	zeshoekig	
7,2 k	250	FAh	-0,25%
9,6 k	235	EBh	0,32%
14,4 k	218	Ja	-0,25%
19,2 k	203	CBh	0,32%
38,4 k	171	ABh	0,32%
57,6 k	154	9Ah	-0,25%
115,2 k	122	7 Ah	-0,25%
128 k	116	74 uur	-0,06%
230,4 k	90	5Ah	-0,25%
460,8 k	58	3Ah	-0,25%
921,6 k	28	1K	1,45%
1228,8 k	21	15 uur	0,32%

De selecteerbare overdrachtssnelheden zoals getoond in Tabel 140 "Selecteerbare overdrachtssnelheden" worden berekend volgens de volgende formules:

als *BR_T0=0:* overdrachtssnelheid = 27,12 *MHz/(BR_T1+1)* als

BR_T0>0: overdrachtssnelheid = 27,12 *MHz/(BR_T1* +33)/2^(BR_T0 -1)

Opmerking: overdrachtssnelheden boven 1228,8 k worden niet ondersteund.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.3.3 Inlijsten

Tabel 141: UART-framing

	Lengte	Waarde
Begin beetje	1 beetje	0
Gegevensbits	8 bits	Gegevens
Stop beetje	1 beetje	1

Opmerking: Voor data- en adresbytes moet eerst de LSB-bit worden verzonden.
Tijdens de verzending wordt geen pariteitsbit gebruikt.

Lees gegevens:

Om gegevens uit te lezen met behulp van de UART-interface moet de hieronder beschreven stroom worden gebruikt. De eerste zendbyte definieert zowel de modus zelf als het adres.

Tabel 142: Bytevolgorde om gegevens te lezen

	byte 0	**byte 1**
RX	adr	
TX		gegevens 0

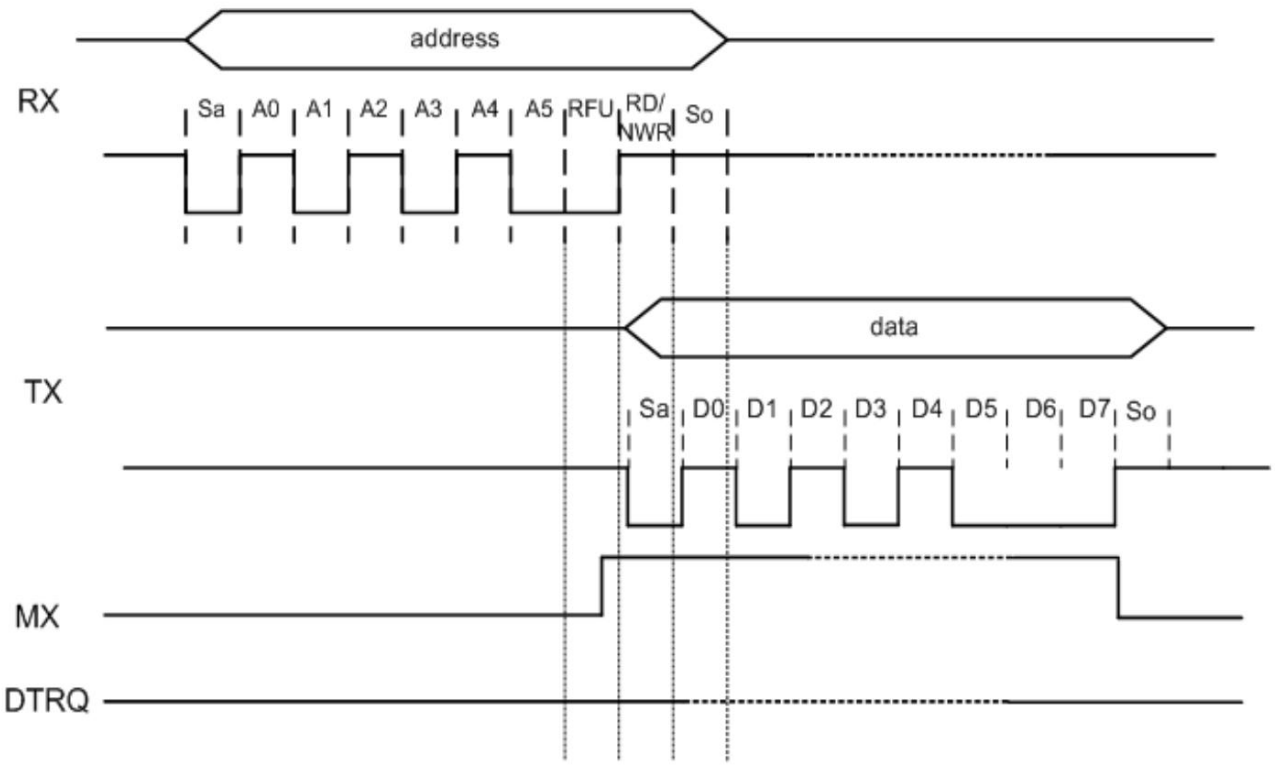


Fig 9. Schematisch diagram om gegevens te lezen

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Gegevens schrijven:

Om gegevens naar de MFRC522 te schrijven met behulp van de UART-interface, moet de volgende structuur worden gebruikt.

De eerste verzendbyte definieert zowel de modus zelf als het adres.

Tabel 143: Bytevolgorde om gegevens te schrijven

	byte 0	**byte 1**
RX	adr 0	gegevens 0
TX		adr 0

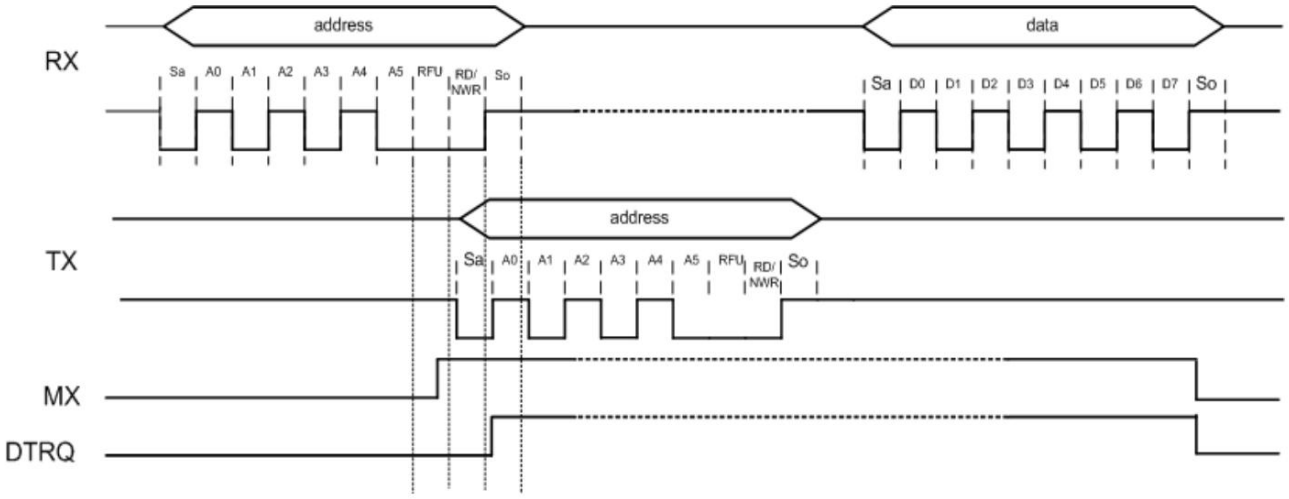


Fig 10. Schematisch diagram om gegevens te schrijven.

Opmerking: De databyte kan direct na de adresbyte op RX worden verzonden.

Adresbyte:

De adresbyte moet het volgende formaat hebben:

De MSB van de eerste byte stelt de gebruikte modus in. Om gegevens van de MFRC522 te lezen, moet de MSB op logisch 1 worden gezet. Om gegevens naar de MFRC522 te schrijven, moet de MSB op logisch 0 worden gezet. Bit 6 is gereserveerd voor verder gebruik en de bits 5 tot 0 bepalen het adres.

Tabel 144. Adresbyte 0 register; adres MOSI

7	6	**5**	**4**	**3**	2	**1**	**0**
1 (lezen) 0 (schrijven)	RFU			adres			
MSB							LSB

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.4 I2C -businterface

Een Inter IC (I2C) businterface wordt ondersteund om een goedkope seriële businterface met een laag aantal pinnen naar de host mogelijk te maken. De geïmplementeerde I2C -interface is geïmplementeerd volgens de NXP Semiconductors I2C -interfacespecificatie, rev. 2.1, januari 2000. De geïmplementeerde interface kan alleen werken in de Slave-modus. Daarom is er geen klokgeneratie en toegangsarbitrage geïmplementeerd in de MFRC522.

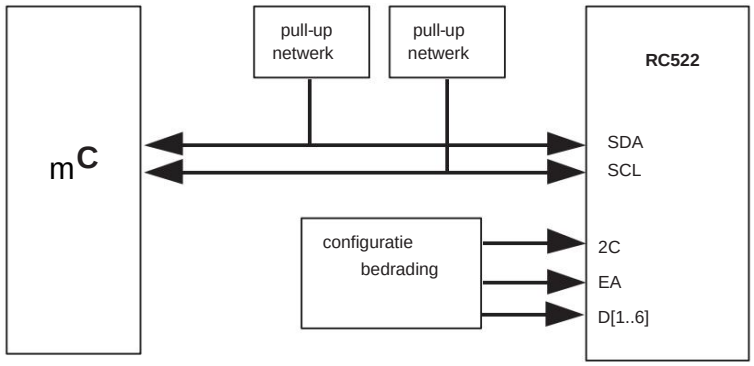


Fig 11. I2C -interface.

10.4.1 Algemeen

De geïmplementeerde interface is conform de I2C-bus specificatie versie 2.1, januari 2000. De MFRC522 kan fungeren als een slave-ontvanger of slave-zender in standaardmodus, snelle modus en hogesnelheidsmodus.

SDA is een bidirectionele lijn, aangesloten op een positieve voedingsspanning via een stroombron of een pull-up weerstand. Beide lijnen SDA en SCL worden ingesteld op HOOG niveau als er geen gegevens worden verzonden. De MFRC522 heeft een tri-state eindtrap om de bekabelde EN-functie uit te voeren. Gegevens op de I 2C-bus kunnen worden overgedragen met datasnelheden tot 100 kbit/s in Standard-modus, tot 400 kbit/s in Fast-modus of tot 3,4 Mbit/s in High-speed-modus.

Als de I2C -interface is geselecteerd, wordt een piekonderdrukking volgens de I2C -interfacespecificatie op SCL en SDA geactiveerd.

Zie sectie 23.9 "I 2C Timing" voor timingvereisten .

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.4.2 Geldigheid van gegevens

Gegevens op de SDA-lijn zullen stabiel zijn tijdens de HIGH-periode van de klok. De status HIGH of LOW van de datalijn zal alleen veranderen als het kloksignaal op SCL LAAG is.

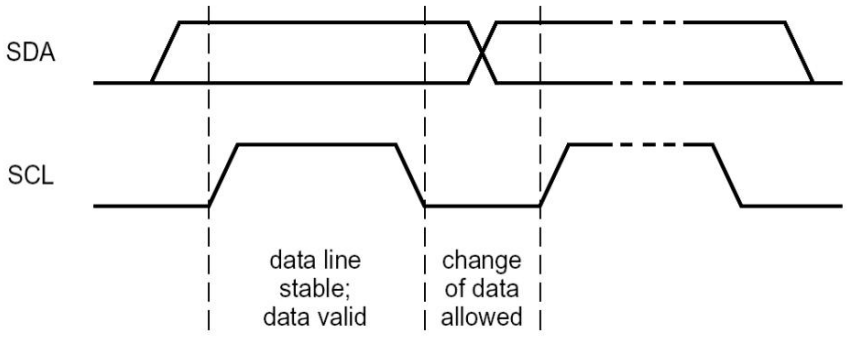


Fig 12. Bitoverdracht op de I2C-bus.

10.4.3 START- en STOP-voorwaarden

Om de gegevensoverdracht op de I2C-bus af te handelen, zijn unieke START (S) en STOP (P) voorwaarden gedefinieerd.

Een START-voorwaarde wordt gedefinieerd met een HOOG-naar-LAAG-overgang op de SDA-lijn terwijl SCL HOOG is.

Een STOP-voorwaarde wordt gedefinieerd met een overgang van LAAG naar HOOG op de SDA-lijn terwijl SCL HOOG is.

De master genereert altijd de START- en STOP-voorwaarden. De bus wordt als bezet beschouwd na de START-conditie. Een bepaalde tijd na de STOP-conditie wordt de bus als weer vrij beschouwd.

De bus blijft bezet als een herhaalde START (Sr) wordt gegenereerd in plaats van een STOP-conditie. In dit opzicht zijn de START (S) en herhaalde START (Sr) condities functioneel identiek.
Daarom wordt het S-symbool gebruikt als algemene term om zowel de START- als de herhaalde START-conditie (Sr) weer te geven.

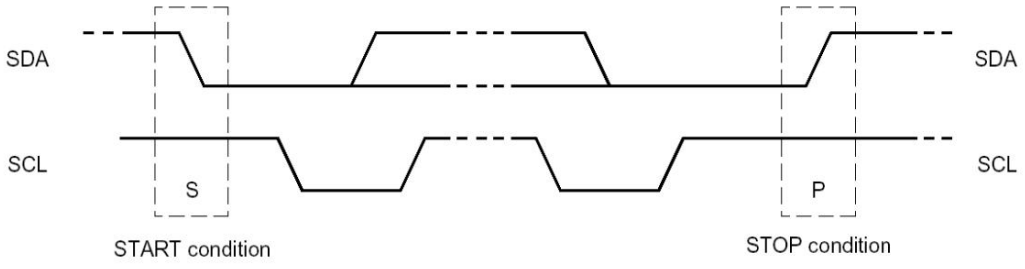


Fig 13. START- en STOP-voorwaarden.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.4.4 Formaat wijzigen

Elke byte moet worden gevolgd door een bevestigingsbit. Data wordt eerst met de MSB overgedragen, zie Figuur 16 “Eerste byte na de START-procedure.”. Het aantal verzonden bytes tijdens één gegevensoverdracht is onbeperkt, maar moet voldoen aan het lees-/schrijfcyclusformaat.

10.4.5 Erkennen

Een bevestiging aan het einde van een databyte is verplicht. De aan de bevestiging gerelateerde klokpuls wordt door de master gegenereerd. De zender van gegevens, master of slave, geeft de SDA-lijn (HIGH) vrij tijdens de bevestigingsklokpuls. De ontvanger zal de SDA-lijn tijdens de bevestigingsklokpuls naar beneden trekken, zodat deze stabiel LOW blijft gedurende de HOGE periode van deze klokpuls.

De master kan dan een STOP (P) conditie genereren om de overdracht te stoppen, of een herhaalde START (Sr) conditie om een nieuwe overdracht te starten.

Een master-ontvanger geeft het einde van de data aan de slave-zender aan door geen bevestiging te genereren op de laatste byte die door de slave is uitgeklokt. De slave-zender zal de datalijn vrijgeven zodat de master een STOP (P) of herhaalde START (Sr) conditie kan genereren.

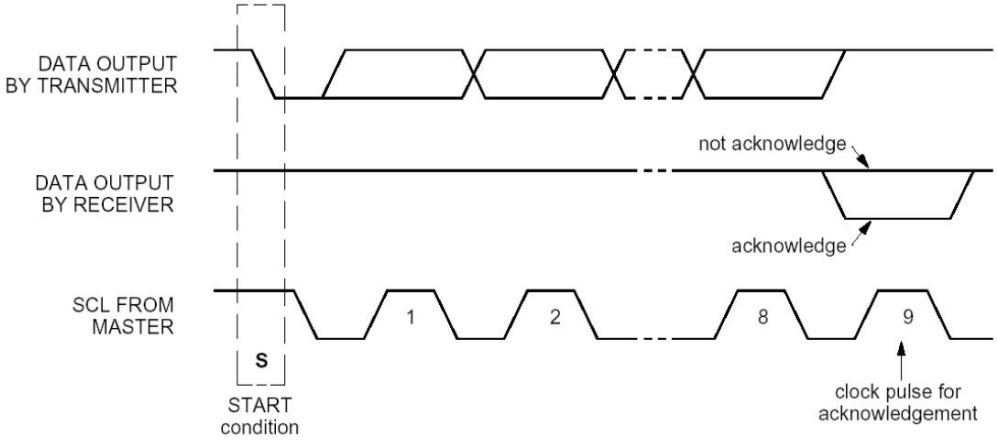


Fig 14. Bevestiging op de I2C-bus.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

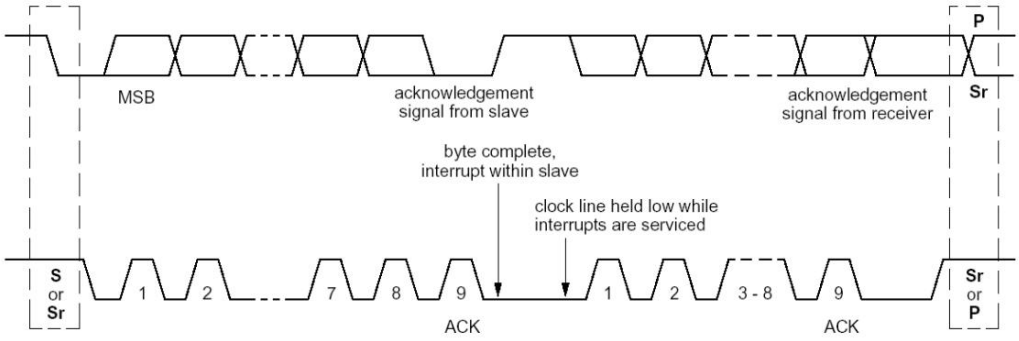


Fig 15. Gegevensoverdracht op de I2C-bus.

10.4.6 7-BIT ADRESSERING

Tijdens de adresseringsprocedure van de I2C-bus wordt de eerste byte na de START-voorwaarde gebruikt om te bepalen welke slave door de master wordt geselecteerd.

Bij uitzondering zijn er meerdere adresnummers gereserveerd. Tijdens de apparaatconfiguratie moet de ontwerper ervoor zorgen dat er geen botsing met deze gereserveerde adressen mogelijk is. Controleer de bijbehorende I2C- specificatie voor een volledige lijst met gereserveerde adressen.

De I2C -adresspecificatie is afhankelijk van de definitie van de EA-pin. Onmiddellijk na het loslaten van de reset-pin of na het resetten van het apparaat, definieert het apparaat het I2C -adres volgens de EA-pin.

Als EA Pin is ingesteld op LAAG, dan worden voor alle MFRC522-apparaten de bovenste 4 bits van het apparaatbusadres gereserveerd door NXP en ingesteld op 0101(bin). De resterende 3 bits (ADR_0, ADR_1, ADR_2) van het Slave-adres kunnen vrij worden geconfigureerd door de klant om botsingen met andere I2C - apparaten te voorkomen.

Als EA Pin is ingesteld op HIGH dan kunnen ADR_0 tot ADR_5 volledig worden gespecificeerd op de externe pinnen volgens Tabel Tabel 135 "Verbindingsschema voor het detecteren van de verschillende interfacetypes". ADR_6 is altijd ingesteld op logische 0.

In beide modi wordt de externe adrescodering direct vergrendeld nadat de reset-voorwaarde is opgeheven. Verdere wijzigingen aan de gebruikte pinnen worden niet in aanmerking genomen. Afhankelijk van de externe bedrading kunnen de I2C -adrespennen worden gebruikt voor testsignaaluitvoer.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google



Fig 16. Eerste byte na de START-procedure.

10.4.7 Schrijftoegang tot register Om

gegevens van de hostcontroller via I2C naar een specifiek register van de MFRC522 te schrijven, moet het volgende frameformaat worden gebruikt.

De eerste byte van een frame geeft het apparaatadres aan volgens de I2C - regels. De tweede byte geeft het registeradres aan, gevolgd door maximaal n-gegevensbytes. In één frame worden alle n-databytes naar hetzelfde registeradres geschreven. Dit maakt bijvoorbeeld een snelle FIFO-toegang mogelijk.

De lees-/schrijfbit moet op logisch 0 worden gezet.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.4.8 Register leestoegang Om

gegevens uit een specifiek registeradres van de MFRC522 uit te lezen, gebruikt de hostcontroller de volgende procedure:

Eerst moet een schrijftoegang tot het specifieke registeradres worden uitgevoerd, zoals aangegeven in het volgende frame.

De eerste byte van een frame geeft het apparaatadres aan volgens de I2C - regels. De tweede byte geeft het registeradres aan. Er worden geen databytes toegevoegd.

De lees-/schrijfbit moet 0 zijn.

Nadat deze schrijftoegang is uitgevoerd, kan de leestoegang beginnen. De host moet het apparaatadres van de MFRC522 verzenden. Als antwoord hierop reageert de MFRC522 met de inhoud van dit register. In één frame kunnen alle n-databytes van hetzelfde registeradres worden gelezen. Dit maakt bijvoorbeeld een snelle FIFO-toegang of registerpolling mogelijk.

De lees-/schrijfbit wordt ingesteld op logisch 1.

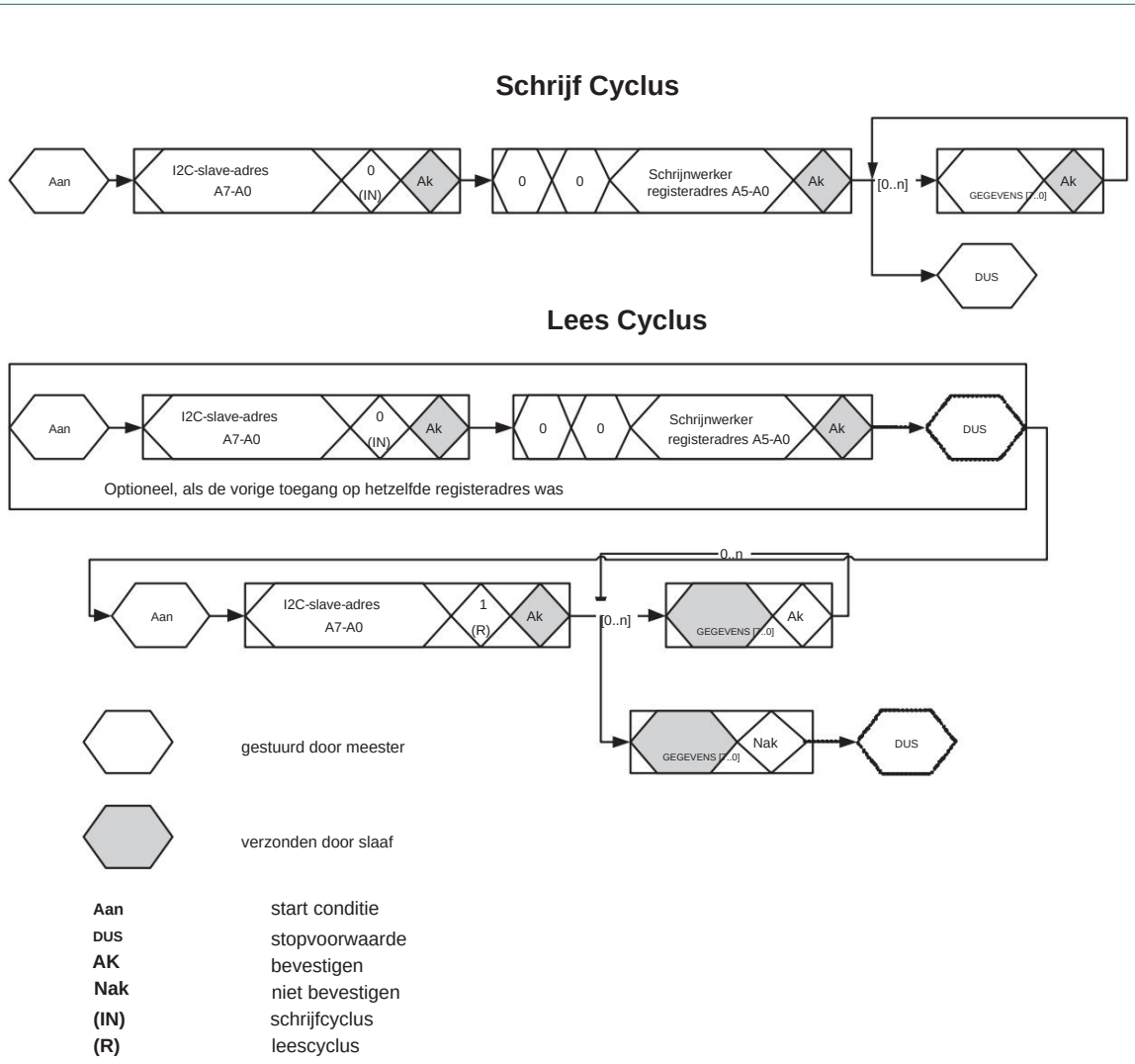


Fig 17. Registreer lees- en schrijftoegang

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.4.9 HS-modus

In de hogesnelheidsmodus (HS-modus) kan het apparaat informatie overdragen met gegevenssnelheden tot 3,4 Mbit/s, het blijft volledig neerwaarts compatibel met de snelle of standaardmodus (F/S-modus) voor bidirectionele communicatie in een gemengde -snelheid bus systeem.

10.4.10 Snelle overdracht

Om datasnelheden tot 3,4 Mbit/s te bereiken, zijn de volgende verbeteringen aangebracht aan het reguliere I2C-busgedrag.

- De ingangen van het apparaat in de HS-modus bevatten piekonderdrukking en een Schmitt-trigger bij de SDA- en SCL-ingangen met verschillende timingconstanten in vergelijking met de F/S-modus.
- De uitgangsbuffers van het apparaat in de HS-modus bevatten hellingregeling van de dalende flanken van de SDA- en SCL-signalen met een andere vervaltijd vergeleken met de F/S-modus.

10.4.11 Seriële gegevensoverdracht Formaat in HS-modus

Formaat voor seriële gegevensoverdracht in HS-modus voldoet aan de standaardmodus I2C-busspecificatie. De HS-modus kan alleen starten na de volgende voorwaarden (allemaal in F/S-modus):

1. START-voorwaarde (S) 2.

8-bit mastercode (00001XXX)

3. Niet-bevestig bit (A)

De actieve master zendt vervolgens een herhaalde START-conditie (Sr) gevolgd door een 7-bits slave-adres met een R/W-bitadres en ontvangt een bevestigingsbit (A) van de geselecteerde MFRC522.

De gegevensoverdracht gaat door in de Hs-modus na de volgende herhaalde START (Sr), en schakelt pas terug naar de F/S-modus na een STOP-conditie (P). Om de overhead van de mastercode te verminderen, is het mogelijk dat een master een aantal Hs-mode-overdrachten koppelt, gescheiden door herhaalde START-condities (Sr).

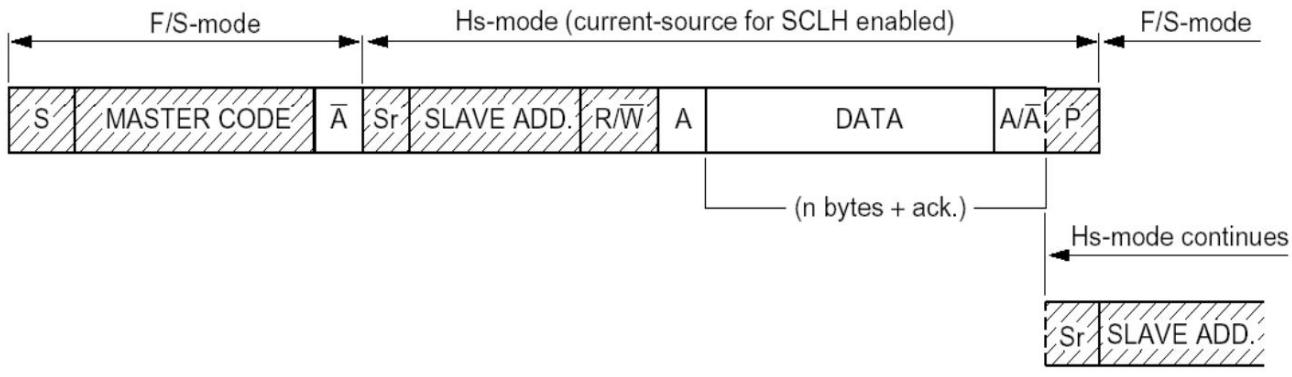


Fig 18. I2C HS-modus protocolschakelaar

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

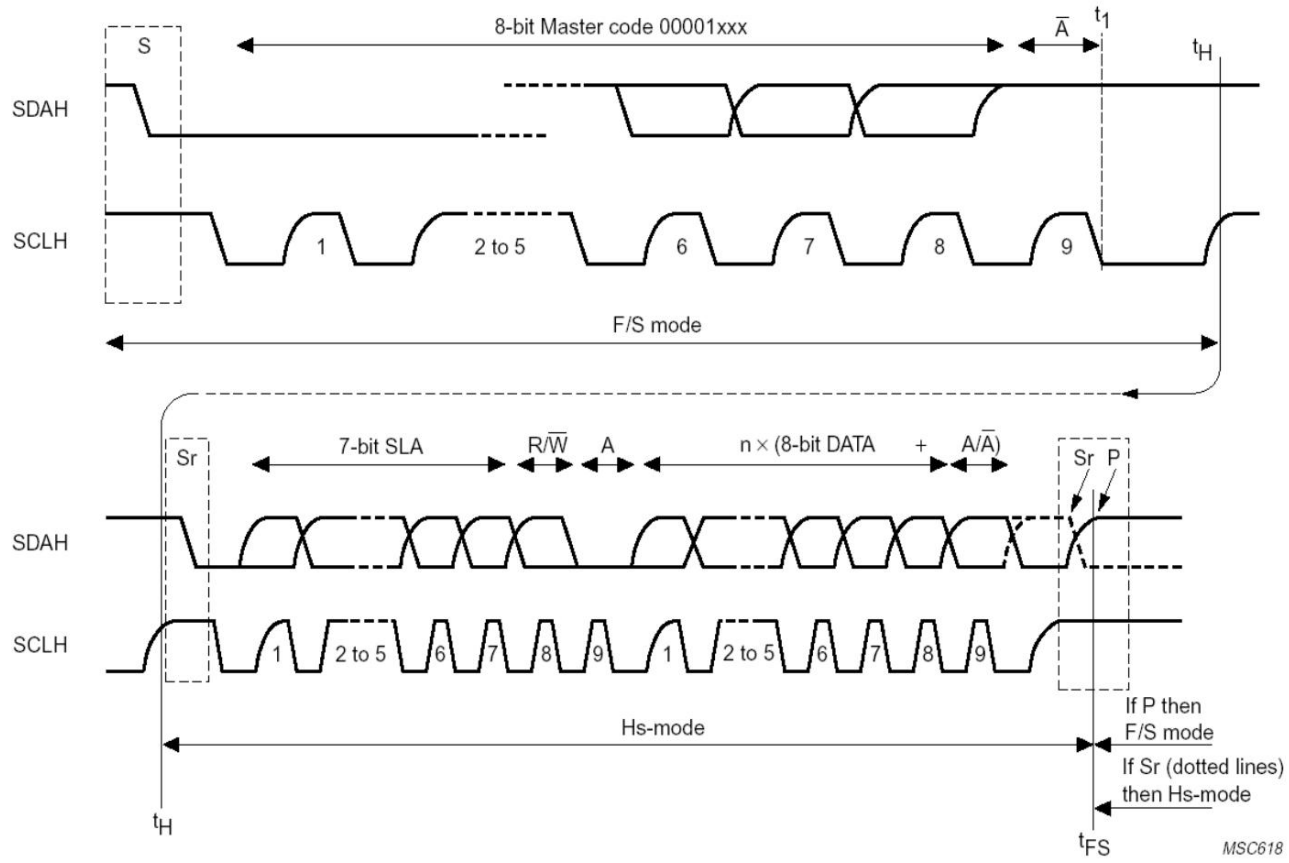


Fig 19. I2C HS-modus protocolframe

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

10.4.12 Overschakelen van F/S- naar HS-modus en vice versa Na reset en initialisatie

bevindt de MFRC522 zich in de snelle modus (wat in feite de F/S-modus is, aangezien de snelle modus neerwaarts compatibel is met de standaardmodus). De aangesloten MFRC522 herkent de reeks "S 00001XXX A" en schakelt de interne circuits om van de Fast-modusinstelling naar de HS-modusinstelling.

Volgende acties worden ondernomen:

1. Pas de SDA- en SCL-ingangsfilters aan volgens de vereisten voor piekonderdrukking in de HS-modus.
2. Pas de slope-regeling van de SDA-eindtrappen aan.

Voor systeemconfiguraties, waarbij geen andere I2C -apparaten betrokken zijn bij de communicatie, hebben ze een extra mogelijkheid om over te schakelen naar HS-modus. Door de bit *I2CForceHS* in register *Status2Reg* op logisch 1 te zetten, wordt de HS-modus ingevoerd. Door deze bit op logische 1 te zetten verandert de HS-mode permanent waardoor het versturen van de mastercode niet meer nodig is.
Dit is niet volgens de specificatie en mag alleen worden gebruikt als er geen andere apparaten op de bus zijn aangesloten. Spikes op de I2C- lijnen moeten worden vermeden vanwege de verminderde spike-onderdrukking.

10.4.13 MFRC522 bij lagere snelheidsmodi

MFRC522 is volledig neerwaarts compatibel en kan worden aangesloten op een I2C-bussysteem in F/S-modus. Omdat er in een dergelijke configuratie geen mastercode wordt verzonden, blijft het apparaat in de F/S-modus en communiceert het met F/S-modussnelheden.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

11. Analoge interface en contactloze UART

11.1 Algemeen

De geïntegreerde contactloze UART ondersteunt de externe host online met framing en foutcontrole van de protocolvereisten tot 848 kbit/s. Er kan een extern circuit worden aangesloten op de communicatie-interfacepennen MFIN/MFOUT om de gegevens te moduleren en te demoduleren.

De contactloze UART handelt de protocolvereisten voor de communicatieschema's af in samenwerking met de host. De protocolverwerking zelf genereert bit- en byte-georiënteerde framing en verwerkt foutdetectie zoals pariteit en CRC volgens de verschillende contactloze communicatieschema's.

Opmerking: De grootte en de afstelling van de antenne en de voedingsspanning hebben een belangrijke invloed op de haalbare werkafstand.

11.2 TX-stuurprogramma

Het signaal geleverd op pin TX1 en pin TX2 is de 13,56 MHz energiedrager gemoduleerd door een envelopsignaal. Het kan worden gebruikt om een antenne direct aan te sturen, met behulp van een paar passieve componenten voor afstemming en filtering, zie hoofdstuk 24 "Toepassingsinformatie". Het signaal op TX1 en TX2 kan worden geconfigureerd door het register *TxControlReg,* zie paragraaf 9.2.2.5 “TxControlReg”.

De modulatie-index kan worden ingesteld door de impedantie van de drivers aan te passen. De impedantie van de p-driver kan worden geconfigureerd door de registers *CWGsPReg* en *ModGsPReg.* De impedantie van de n-driver kan worden geconfigureerd door het register *GsNReg.* Bovendien is de modulatie-index afhankelijk van het ontwerp en de afstemming van de antenne.

Het register *TxModeReg* en *TxAutoSelReg* regelen de datasnelheid en framing tijdens transmissie en de instelling van de antennedriver om de verschillende vereisten bij de verschillende modi en overdrachtssnelheden te ondersteunen.

Tabel 145: Instellingen voor TX1

TX1RFEn Force	100VRAAG	InVTx1 RVO	InVTx1 RFOFF	Envelop TX1	GSPMos	GSNMos	Opmerkingen	
0	X	x	x	x	x	x	x	niet opgegeven als RF is uitgeschakeld
1	0	0	x	0	RF	pMod	nMod	100% ASK: TX1 getrokken naar 0, onafhankelijk van *InvTx1RFOff*
				1	RF	pCW	nCW	
	0	1	X	0	RF	pMod	nMod	
				1	RF	pCW	nCW	
	1	1	X	0	0	pMod	nMod	
				1	RF_n	pCW	nCW	

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 146: Instellingen voor TX2

TX1RFEn	Force 100VRAAG	TX2CW	InVTx2 RVO	InVTx2 RFOFF	Envelop TX2	GSPMos	GSNMos	Opmerkingen
0	x	x	x	x	x	x	x	x	niet opgegeven als RF is uitgeschakeld
1	0	0	0	x	0	RF	pMod	nMod	
					1	RF	pCW	nCW	
			1	X	0	RF_n	pMod	nMod	
					1	RF_n	pCW	nCW	
		1	0	x	X	RF	pCW	nCW	Gs altijd CW voor TX2CW
			1	x	X	RF_n	pCW	nCW	
	1	0	0	x	0	0	pMod	nMod	100%ASK:Tx2 getrokken naar 0 (onafhankelijk van *InvTx2RFOn/ INVTX2RFUit)*
					1	RF	pCW	nCW	
			1	x	0	0	pMod	nMod	
					1	RF_n	pCW	nCW	
		1	0	x	X	RF	pCW	nCW	
			1	X	X	RF_n	pCW	nCW	

De volgende afkortingen worden gebruikt:

• RF: 13,56 MHz klok afgeleid van 27,12 MHz kwarts gedeeld door 2 • RF_n: omgekeerde 13,56 MHz klok

- gspmos: Conductance, configuratie van de PMOS-array gspmos:
- Conductance, configuratie van de NMOS-array

• pCW: PMOS-geleidingswaarde voor continue golf gedefinieerd door *CWGsP*- register • pMod: PMOS-geleidingswaarde voor modulatie gedefinieerd door *ModGsP*- register • nCW: NMOS-geleidingswaarde voor continue golf gedefinieerd door *CWGsN*- register • nMod: NMOS-geleidingswaarde voor modulatie gedefinieerd door *ModGsN*- register

Opmerking: Als er slechts 1 driver is ingeschakeld, worden de waarden voor *ModGsN, ModGsP* en *CWGsN, CWGsP* voor beide drivers gebruikt.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

11.3 Seriële gegevenswisseling

In de MFRC522 zijn twee hoofdblokken geïmplementeerd. Een digitale schakeling, bestaande uit toestandsmachines, codeer- en decoderlogica en een analoge schakeling met de modulator- en antennestuurprogramma's, ontvanger- en versterkingsschakelingen. De interface tussen deze twee blokken kan bijvoorbeeld zo worden geconfigureerd dat de interfacesignalen naar de pinnen MFIN en MFOUT kunnen worden geleid.

Deze topologie ondersteunt dat het analoge deel van de MFRC522 kan worden aangesloten op het digitale deel van een ander apparaat.

De seriële signaalschakelaar wordt bestuurd door het register *TxSelReg* en *RxSelReg.*

De volgende afbeelding toont de seriële dataschakelaar voor TX1 en TX2.

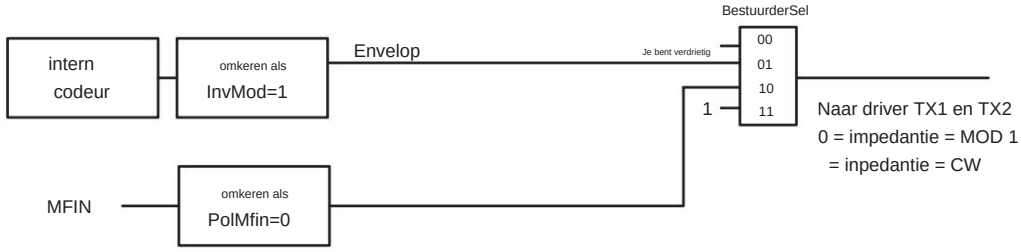


Fig 20. Seriële dataschakelaar voor TX1 en TX2.

11.4 MFIN/MFOUT-interfaceondersteuning

De MFRC522 is in principe verdeeld in digitale schakelingen en analoge schakelingen. De digitale schakelingen bevatten toestandsmachines, codeer- en decoderlogica enzovoort en de analoge schakelingen bevatten de modulator- en antennestuurprogramma's, ontvanger- en versterkingsschakelingen. De interface tussen deze twee blokken kan zo worden geconfigureerd dat de interfacesignalen naar de pinnen MFIN en MFOUT kunnen worden geleid (zie Afbeelding 21 “Overzicht MFIN/MFOUT-signaalroutering”). De configuratie wordt gedaan door bits *MFOutSel, DriverSel* en *UARTSel* van registers *TxSelReg* en *RxSelReg.*

Deze topologie ondersteunt dat sommige delen van het analoge deel van de MFRC522 kunnen worden aangesloten op het digitale deel van een ander apparaat.

De schakelaar *MFOutSel* in register *TxSelReg* kan worden gebruikt om MIFARE®- en ISO/IEC14443-gerelateerde signalen te meten. Dit is vooral belangrijk tijdens de ontwerp-in-fase of voor testdoeleinden om de verzonden en ontvangen gegevens te controleren.

Het belangrijkste gebruik van MFIN/MFOUT-pinnen is echter het actieve antenneconcept. Op het digitale circuit van de MFRC522 kan een extern actief antennecircuit worden aangesloten.
MFOutSel moet zo worden geconfigureerd dat het signaal van de interne Miller Coder naar de MFOUT-pin wordt gestuurd *(MFOutSel* = 4). *UARTSel* moet worden geconfigureerd om Manchester-signaal met subdrager van MFIN-pin te ontvangen *(UARTSel* = 1).

Het is mogelijk om een 'passieve antenne' aan te sluiten op pinnen TX1, TX2 en RX (via het juiste filter en bijpassende circuit) en tegelijkertijd een actieve antenne op de pinnen MFOUT en MFIN. In deze configuratie kunnen twee RF-onderdelen (de een na de ander) worden aangestuurd door één hostprocessor.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Opmerking: De MFRC522 heeft een extra voedingspen (SVDD en PVSS als aardleiding) voor de MFIN- en MFOUT-pads.
Als de MFIN-pin niet wordt gebruikt, moet deze worden aangesloten op SVDD of PVSS.
Als de SVDD-pin niet wordt gebruikt, moet deze worden aangesloten op DVDD of PVDD of een andere voedingspin.

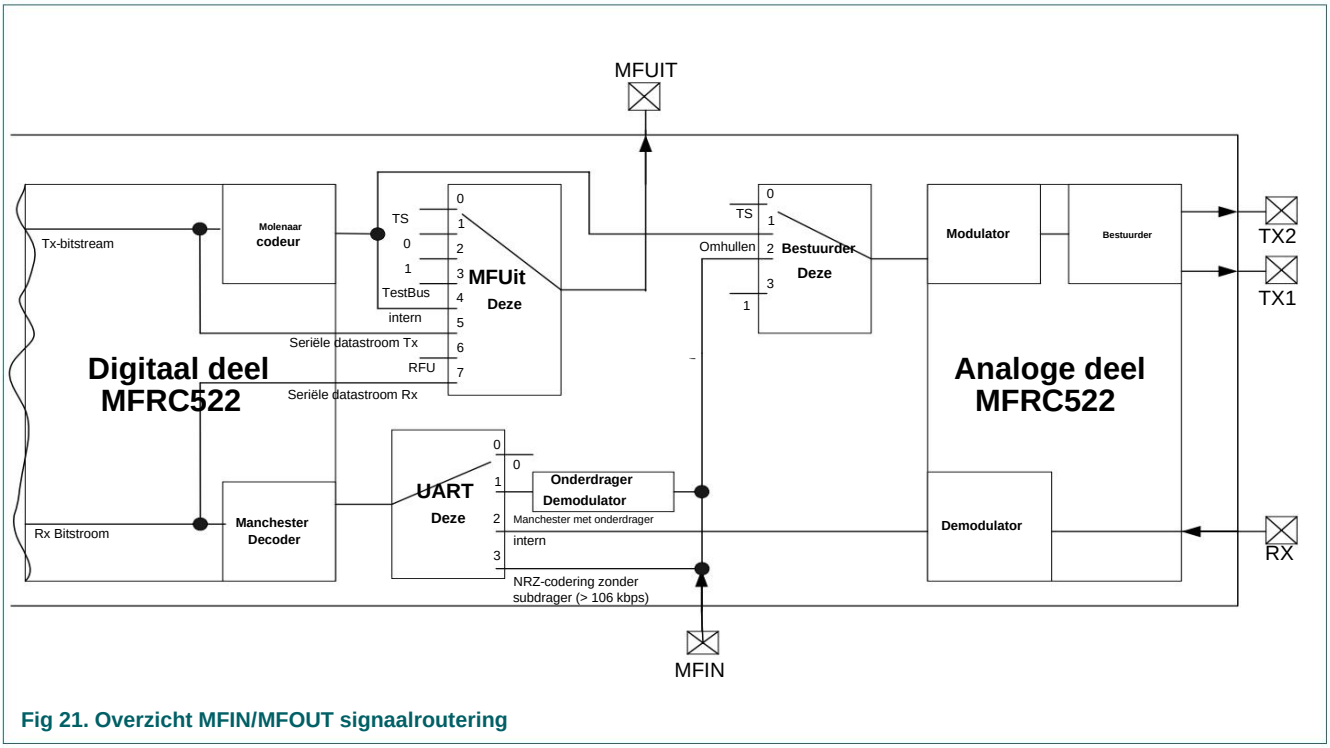


Fig 21. Overzicht MFIN/MFOUT signaalroutering

11.5 CRC-medeverwerker

De volgende parameters van de CRC-coprocessor kunnen worden geconfigureerd. De vooraf ingestelde CRC-waarde kan 0000h, 6363h, A671h of FFFFh zijn, afhankelijk van de bits CRCPreset in register *ModeReg.*

Het CRC-polynoom voor de 16-bits CRC is vastgesteld op x16 + x12 + x5 + 1.

Het register *CRCResultReg* geeft het resultaat van de CRC-berekening weer. Dit register is opgesplitst in twee 8-bits registers die de hogere en lagere byte aangeven.

De bit *MSBFirst* in het register *ModeReg* geeft aan dat gegevens eerst met MSB worden geladen.

Tabel 147: CRC-coprocessorparameters

Parameter	Waarde
CRC-registerlengte	16-bits CRC
CRC-algoritme	Algoritme volgens ISO/IEC 14443A en CCITT 0000h,
CRC-vooraf ingestelde waarde	6363h,A671h of FFFFh afhankelijk van de *CRCPresetReg* registerinstellingen

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

12. FIFO-buffer

12.1 Overzicht

Een 64 × 8-bits FIFO-buffer is geïmplementeerd in de MFRC522. Het buffert de invoer- en uitvoergegevensstroom tussen de host en de interne statusmachine van de MFRC522. Het is dus mogelijk om datastromen met een lengte tot 64 bytes te verwerken zonder rekening te houden met timingbeperkingen.

12.2 Toegang tot de FIFO-buffer

De FIFO-buffer ingangs- en uitgangsdatabus is verbonden met het register *FIFODataReg.* Schrijven naar dit register slaat een byte op in de FIFO-buffer en verhoogt de interne FIFO-buffer schrijfpointer. Lezen uit dit register toont de FIFO-bufferinhoud die is opgeslagen bij de FIFO-buffer leeswijzer en verlaagt de FIFO-buffer leeswijzer. De afstand tussen de schrijf- en leeswijzer kan worden verkregen door het register *FIFOLevelReg te lezen.*

Wanneer de ÿ-Controller een commando start, kan de MFRC522, terwijl het commando bezig is, toegang krijgen tot de FIFO-buffer volgens dat commando. Fysiek is slechts één FIFO-buffer geïmplementeerd, die in invoer- en uitvoerrichting kan worden gebruikt. Daarom moet de ÿ-Controller ervoor zorgen dat hij niet op een onbedoelde manier toegang krijgt tot de FIFO-buffer.

12.3 Controle van de FIFO-buffer

Naast het schrijven naar en lezen van de FIFO-buffer, kunnen de FIFO-bufferpointers worden gereset door de bit *FlushBuffer* in het register *FIFOLevelReg* op 1 te zetten. Hierdoor worden de *FIFOLevel-* bits op logisch 0 gezet, de bit *BufferOvfl* in het register *ErrorReg* is gewist, zijn de daadwerkelijk opgeslagen bytes niet meer toegankelijk en kan de FIFO-buffer weer gevuld worden met nog eens 64 bytes.

12.4 Statusinformatie over de FIFO-buffer

De host kan de volgende gegevens verkrijgen over de status van de FIFO-buffers:

- Aantal bytes dat al in de FIFO-buffer is opgeslagen: *FIFOLevel* in register *FIFONiveauReg*
- Waarschuwing, dat de FIFO-buffer bijna vol is: *HiAlert* in register *Status1Reg* •

Waarschuwing, dat de FIFO-buffer bijna leeg is: *LoAlert* in register *Status1Reg* • Indicatie, dat er

bytes naar de FIFO-buffer zijn geschreven terwijl deze al vol was: *BufferOvfl* in register *ErrorReg. BufferOvfl* kan alleen worden gewist door bit *FlushBuffer* in te stellen in het register *FIFOLevelReg.*

De MFRC522 kan een interruptsignaal genereren

- Als *LoAlerTIen* in register *CommIenReg* is ingesteld op logisch 1, wordt pin IRQ geactiveerd wanneer *LoAlert* in het register *Status1Reg* verandert in 1.
- Als *HiAlertIEN* in register *CommIEnReg* is ingesteld op logisch 1, wordt pin IRQ geactiveerd wanneer *HiAlert* in het register *Status1Reg* verandert in 1.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

De bit *HiAlert* wordt op logisch 1 gezet als maximaal *WaterLevel* bytes (zoals ingesteld in register *WaterLevelReg)* of minder in de FIFO-buffer kunnen worden opgeslagen. Het wordt gegenereerd volgens de volgende vergelijking:

$$HiAlert = (64 - FIFOLengte) - Waterniveau$$

De bit *LoAlert* wordt op logisch 1 gezet als er *daadwerkelijk WaterLevel* bytes (zoals ingesteld in register *WaterLevelReg)* of minder in de FIFO-buffer zijn opgeslagen. Het wordt gegenereerd volgens de volgende vergelijking:

$$LoAlert = FIFOLengte - waterpeil$$

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

13. Timereenheid

In de MFRC522 is een timer-unit geïmplementeerd. De externe host kan deze timer gebruiken om timingrelevante taken te beheren. De timereenheid kan in een van de volgende configuraties worden gebruikt:

- Time-outteller
- Watch-dog teller •
  Stopwatch
- Programmeerbare one-
  shot • Periodieke trigger

De timereenheid kan worden gebruikt om het tijdsinterval tussen twee gebeurtenissen te meten of om aan te geven dat een bepaalde gebeurtenis na een bepaalde tijd heeft plaatsgevonden. De timer kan worden geactiveerd door gebeurtenissen die hierna worden uitgelegd, maar de timer zelf heeft geen invloed op interne gebeurtenissen (bijv. een time-out tijdens de gegevensontvangst heeft geen automatische invloed op het ontvangstproces). Verder zijn er verschillende timer-gerelateerde bits ingesteld en deze bits kunnen worden gebruikt om een interrupt te genereren.

De timer heeft een ingangsklok van 6,78 MHz (afgeleid van de 27,12 MHz quartz). De timer bestaat uit twee trappen: 1 prescaler en 1 teller.

De prescaler is een 12-bits teller. De herlaadwaarde voor TPrescaler kan worden gedefinieerd tussen 0 en 4095 in register *TModeReg* en *TPrescalerReg.*

De herlaadwaarde voor de teller wordt gedefinieerd door 16 bits in een bereik van 0 tot 65535 in het register *TReloadReg.*

De huidige waarde van de timer wordt aangegeven door het register *TCounterValReg.*

Als de teller op 0 staat, wordt er automatisch een interrupt gegenereerd, aangegeven door het *TimerIRq*- bit in het register *CommonIRqReg in te stellen.* Indien ingeschakeld, kan deze gebeurtenis worden aangegeven op de IRQ-regel. De bit *TimerIRq* kan door de host worden ingesteld en gereset. Afhankelijk van de configuratie stopt de timer bij 0 of herstart hij met de waarde in register *TReloadReg.*

De status van de timer wordt aangegeven door bit *TRunning* in register *Status1Reg.*

De timer kan handmatig worden gestart door *TStartNow* in register *ControlReg* of handmatig worden gestopt door *TStopNow* in register *ControlReg.*

Bovendien kan de timer automatisch worden geactiveerd door de bit *TAuto* in het register *TModeReg* in te stellen om automatisch aan specifieke protocolvereisten te voldoen.

De tijdsvertraging van een timertrap is de herlaadwaarde +1.

Maximale tijd: TPrescaler = 4095, TReloadVal = 65535 => 4096 ×
65536/6,78 MHz = 39,59 s

Voorbeeld:

Om 100 us aan te geven is het nodig om 678 klokcycli te tellen. Dit betekent dat de waarde voor TPrescaler moet worden ingesteld op TPrescaler = 677. De timer heeft nu een ingangsklok van 100 us. De timer kan tot 65535 timeslots tellen van elke 100 us.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

14. Interrupt Request-systeem

De MFRC522 geeft bepaalde gebeurtenissen aan door bit *IRq* in het register *Status1Reg* in te stellen en daarnaast, indien geactiveerd, door pin IRQ. Het signaal op pin IRQ kan worden gebruikt om de host te onderbreken met behulp van de interruptverwerkingsmogelijkheden. Dit maakt de implementatie van efficiënte hostsoftware mogelijk.

De volgende tabel toont de beschikbare interruptbits, de bijbehorende bron en de voorwaarde voor activering. De interruptbit *TimerIRq* in register *CommIRqReg* geeft een interrupt aan die is ingesteld door de timereenheid. De instelling is gedaan wanneer de timer afneemt van 1 naar 0.

De *TxIRq*- bit in register *CommIRqReg* geeft aan dat de zender klaar is. Als de status verandert van het verzenden van gegevens naar het verzenden van het einde van het framepatroon, stelt de zendereenheid de onderbrekingsbit automatisch in. De CRC-coprocessor zet de bit *CRCIRq* in het register *DivIRqReg* nadat alle gegevens uit de FIFO-buffer zijn verwerkt.
Dit wordt aangegeven door de bit *CRCReady* = 1.

De bit *RxIRq* in register *CommIRqReg* geeft een interrupt aan wanneer het einde van de ontvangen data wordt gedetecteerd.

De bit *IdleIRq* in register *CommIRqReg* wordt ingesteld als een opdracht is voltooid en de inhoud van het opdrachtregister verandert in inactief.

De bit *HiAlertIRq* in register *CommIRqReg* is ingesteld op logisch 1 als de *HiAlert*- bit is ingesteld op logisch 1, dat betekent dat de FIFO-buffer het niveau heeft bereikt dat wordt aangegeven door de bit *WaterLevel.*

De bit *LoAlertIRq* in register *CommIRqReg* is ingesteld op logisch 1 als de *LoAlert*- bit is ingesteld op logisch 1, dat betekent dat de FIFO-buffer het niveau heeft bereikt dat wordt aangegeven door de bit *WaterLevel.*

De bit *ErrIRq* in register *CommIRqReg* geeft een fout aan die is gedetecteerd door de contactloze UART tijdens het verzenden of ontvangen. Dit wordt aangegeven door een willekeurige bit die is ingesteld op logisch 1 in register *ErrorReg.*

Tabel 148: Interruptbronnen

Interrupt bit	Interrupt Bron	Wordt automatisch ingesteld, wanneer
TimerIRq	Timer-eenheid	de timer telt van 1 tot 0
TxIRq	Zender	een verzonden datastroom eindigt
CRCIRq	CRC-medeverwerker	alle gegevens uit de FIFO-buffer zijn verwerkt
RxIRq	Ontvanger	een ontvangen datastroom eindigt
IdleIRq	Opdracht Registreer een uitvoering van een opdracht is voltooid	
HiAlertIRq	FIFO-buffer	de FIFO-buffer raakt vol de FIFO-
LoAlertIRq	FIFO-buffer	buffer raakt leeg
ErrIRq	contactloze UART een fout wordt gedetecteerd	

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

15. Oscillatorcircuits

De klok toegepast op de MFRC522 fungeert als tijdbasis voor de coder en decoder van het synchrone systeem. Daarom is stabiliteit van de klokfrequentie een belangrijke factor voor goede prestaties. Om de beste prestaties te verkrijgen, moet klokjitter zo klein mogelijk zijn. Dit wordt het best bereikt door de interne oscillatorbuffer te gebruiken met de aanbevolen circuits. Als een externe klokbron wordt gebruikt, moet het kloksignaal worden toegepast op pin OSCIN. In dit geval is speciale aandacht voor de duty cycle en klokjitter van de klok nodig en moet de kwaliteit van de klok worden gecontroleerd.

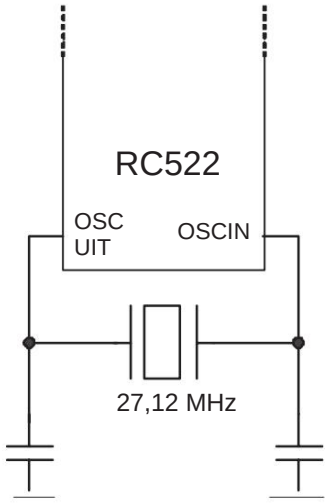


Fig 22. Quartz-verbinding

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

16. Vermogensreductiemodi

16.1 Harde uitschakeling

Een harde uitschakeling is ingeschakeld met een LAAG niveau op pin NRSTPD. Dit schakelt alle interne stroomputten uit, evenals de oscillator. Alle digitale invoerbuffers zijn gescheiden van de invoerpads en intern vastgeklemd (behalve pin NRSTPD zelf). De uitvoerpennen zijn bevroren op een bepaalde waarde.

16.2 Zachte uitschakeling

Direct na het instellen van de bit *PowerDown* in het register *CommandReg* op 1 wordt de Soft Power-down-modus ingeschakeld. Alle interne current sinks worden uitgeschakeld (inclusief de oscillatorbuffer).

In tegenstelling tot de Hard Power-down-modus, worden de digitale input-buffers niet gescheiden door de input-pads en behouden ze hun functionaliteit. De digitale uitgangspinnen veranderen hun status niet.

Tijdens Soft Power-down behouden alle registerwaarden, de inhoud van de FIFO en de configuratie zelf de huidige inhoud.

Nadat bit *PowerDown* in het register *CommandReg* op 0 is gezet, duurt het 1024 klokken voordat de Soft Power-down-modus wordt verlaten, zoals aangegeven door de *PoweDown*- bit zelf. Door het op logisch 0 te zetten, wordt het niet meteen gewist. Het wordt automatisch gewist door de MFRC522 wanneer de Soft Power-down-modus wordt verlaten.

Opmerking: Als de interne oscillator wordt gebruikt, moet u er rekening mee houden dat deze wordt geleverd door AVDD en dat het een bepaalde tijd tosc zal duren voordat de oscillator stabiel is en de klokcycli kunnen worden gedetecteerd door de interne logica.
Voor de seriële UART wordt aanbevolen om eerst de waarde 55 (hex) naar de MFRC522 te sturen.
Voor verdere toegang tot de registers moet de oscillator stabiel zijn. Voer daarom een leestoegang uit tot adres 0 totdat de MFRC522 het laatste leescommando beantwoordt met de registerinhoud van adres 0. Dit geeft aan dat de MFRC522 actief is voor verdere werking.

16.3 Zender uitschakelen

De Uitschakelmodus van de zender schakelt de interne antennestuurprogramma's uit om het RF-veld uit te schakelen door *Tx1RfEn* of *TX2RFEn* in het register *TXControlReg* in te stellen op logische 0.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

17. Reset en oscillator-opstarttijd

17.1 Timingvereisten resetten

Het resetsignaal wordt gefilterd door een hysteresiscircuit en een piekfilter (verwerpt signalen korter dan 10 ns) voordat het het digitale circuit binnenkomt. Om een reset uit te voeren, moet het signaal minimaal 100 ns laag zijn.

17.2 Opstarttijd oscillator

Nadat de MFRC522 in een Power-down-modus is gezet of de IC van XVDD is voorzien, beschrijft de volgende afbeelding de opstarttiming voor de oscillator.

De tijd tstartup definieert de opstarttijd van het kristaloscillatorcircuit. De opstarttijd van de kristaloscillator wordt bepaald door het kristal zelf.

De tdelay definieert de interne vertragingstijd van de MFRC522 wanneer het kloksignaal stabiel is voordat de MFRC522 kan worden aangesproken. De vertragingstijd wordt als volgt berekend: tdelay [ÿs] = 1024/27,12 = 37,76 ÿs.

De tijd tosc wordt gedefinieerd als de som van de tijd tdelay en tstartup.

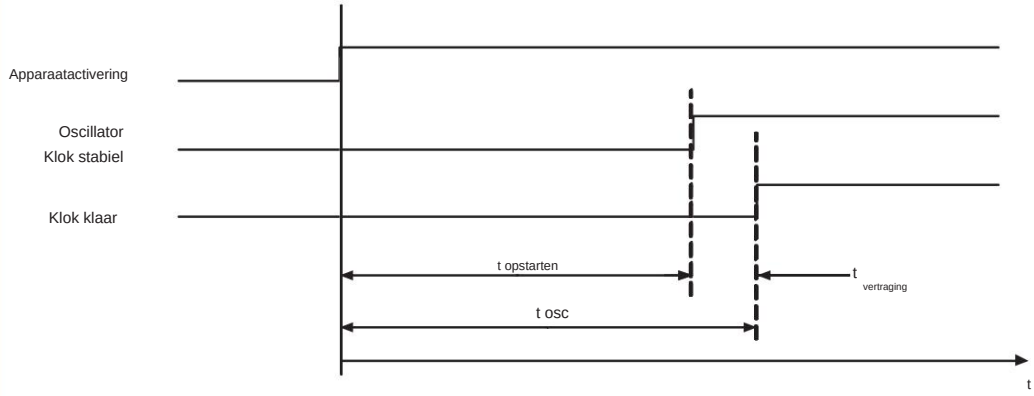


Fig 23. Opstarttijd oscillator.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

18. MFRC522-opdrachtenset

18.1 Algemene beschrijving

Het gedrag wordt bepaald door een toestandsmachine die in staat is een bepaalde reeks opdrachten uit te voeren. Door de bijbehorende opdrachtcode te schrijven om *CommandReg* te registreren, wordt de opdracht uitgevoerd.

Via de FIFO-buffer worden argumenten en/of gegevens uitgewisseld die nodig zijn om een opdracht te verwerken.

18.2 Algemeen gedrag

- Elke opdracht die een datastroom (of databytestroom) als invoer nodig heeft verwerkt de gegevens die het in de FIFO-buffer aantreft onmiddellijk. Een uitzondering op deze regel is het commando Transceive. Met dit commando wordt de verzending gestart met de *StartSend*- bit in het *BitFramingReg*- register.
- Elk commando dat een bepaald aantal argumenten nodig heeft, wordt pas verwerkt als het het juiste aantal argumenten heeft ontvangen via de FIFO-buffer. • De FIFO-buffer wordt niet automatisch gewist bij het starten van de opdracht. Daarom is het ook mogelijk om de commando-argumenten en/of de databytes in de FIFO-buffer te schrijven en daarna het commando te starten.
- Elke opdracht kan door de host worden onderbroken door er een nieuwe opdrachtcode in te schrijven registreer *CommandReg* bv: de Idle-Command.

18.3 Overzicht van MFRC522-opdrachten

Tabel 149: Commando overzicht

Opdracht	Opdrachtcode	Actie
Inactief	0000	Geen actie; annuleert de uitvoering van de huidige opdracht.
Mem	0001	Slaat 25 bytes op in de interne buffer
Genereer WillekeurigID	0010	Genereert een willekeurig ID-nummer van 10 bytes
CalcCRC	0011	Activeert de CRC-coprocessor of voert een zelftest uit.
Verzenden	0100	Verzendt gegevens van de FIFO-buffer.
GeenCmd Verandering	0111	Geen opdrachtwijziging. Deze opdracht kan worden gebruikt om verschillende bits in het opdrachtregister te wijzigen zonder de opdracht aan te raken. Bijv. Uitschakelen.
Te ontvangen	1000	Activeert het ontvangercircuit.
Ontvangen	1100	Verzendt gegevens van FIFO-buffer naar de antenne en activeert automatisch de ontvanger na verzending.
-	1101	Gereserveerd voor verder gebruik
MFAuthent	1110	Voert de MIFARE®- standaardauthenticatie uit als een lezer
Zachte reset	1111	Reset de MFRC522

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

18.3.1 MFRC522 Commando Beschrijving

18.3.1.1 Inactief commando

De MFRC522 bevindt zich in de inactieve modus. Dit commando wordt ook gebruikt om het eigenlijke commando te beëindigen.

18.3.1.2 Geheugencommando

Brengt 25 bytes over van de FIFO naar de interne buffer.

Om de 25 bytes uit de interne buffer uit te lezen, moet het commando Mem met een lege FIFO-buffer worden gestart. In dit geval worden de 25 bytes vanuit de interne buffer naar de FIFO overgebracht.

Tijdens een harde uitschakeling (reset pin) blijft de 25 byte in de interne buffer ongewijzigd, maar gaat verloren wanneer de voeding van MFRC522 wordt verwijderd.

Deze opdracht wordt automatisch beëindigd wanneer deze is voltooid en de actieve opdracht is inactief.

18.3.1.3 RandomID-opdracht genereren

Deze opdracht genereert een willekeurig getal van 10 bytes dat is opgeslagen in de interne buffer en overschrijft de interne buffer van 10 bytes van 25 bytes. Deze opdracht wordt automatisch beëindigd wanneer deze is voltooid en de MFRC522 keert terug naar inactiviteit.

18.3.1.4 CalcCRC-opdracht

De inhoud van de FIFO wordt overgedragen aan de CRC-coprocessor en er wordt een CRC-berekening gestart. Het resultaat van deze berekening wordt opgeslagen in het register *CRCResultReg* . De CRC-berekening is niet beperkt tot een specifiek aantal bytes. De berekening wordt niet gestopt als de FIFO leeg raakt tijdens de datastroom. De volgende byte die naar de FIFO wordt geschreven, wordt aan de berekening toegevoegd.

De vooraf ingestelde waarde van de CRC wordt bestuurd door de *CRCPreset*- bits van het *ModeReg*- register en de waarde wordt in de CRC-coprocessor geladen wanneer de opdracht wordt gestart.

Dit commando moet worden beëindigd door een willekeurig commando te schrijven om *CommandReg* te registreren, bijvoorbeeld het commando Idle.

Als de *SelfTest*- bits in het register *AutoTestReg* correct zijn ingesteld, bevindt de MFRC522 zich in de zelftestmodus en voert het starten van het CalCCRC-commando een digitale zelftest uit. Het resultaat van de zelftest wordt naar de FIFO geschreven.

18.3.1.5 Commando verzenden

De inhoud van de FIFO wordt direct na het starten van de opdracht verzonden. Voordat de FIFO-inhoud wordt verzonden, moeten alle relevante registers worden ingesteld om gegevens te verzenden.

Deze opdracht wordt automatisch beëindigd wanneer de FIFO leeg raakt. Het kan worden beëindigd door elk ander commando dat naar het commandoregister wordt geschreven.

18.3.1.6 NoCmdChange-opdracht

Deze opdracht heeft geen invloed op lopende opdrachten in het *CommandReg*- register. Het kan worden gebruikt om elke bit te manipuleren, behalve de *commandobits* in het *CommandReg*- register, bijvoorbeeld de bits *RcvOff* of *PowerDown.*

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

18.3.1.7 Commando ontvangen

De MFRC522 activeert het ontvangerpad en wacht op de ontvangst van een datastroom.
De juiste instellingen moeten worden gekozen voordat dit commando wordt gestart.

Deze opdracht wordt automatisch beëindigd wanneer de ontvangen gegevensstroom eindigt. Dit wordt aangegeven door het einde van het framepatroon of door de lengtebyte, afhankelijk van de geselecteerde framing en snelheid.

Opmerking: Als de bit *RxMultiple* in het *RxModeReg* register op logisch 1 staat, zal de Receive opdracht wordt niet automatisch beëindigd. Het moet worden beëindigd door een ander commando in het *CommandReg*- register te activeren.

18.3.1.8 Commando zendontvangst

Deze circulaire opdracht herhaalt continu het verzenden van gegevens van de FIFO en het ontvangen van gegevens van het RF-veld. De eerste actie is verzenden en na een verzending wordt het commando gewijzigd om een datastroom te ontvangen.

Elk transmissieproces moet worden gestart door bit *StartSend* in het register *BitFramingReg* in te stellen op logisch 1. Dit commando moet softwarematig worden gewist door een willekeurig commando te schrijven om *CommandReg* te registreren, bijvoorbeeld het commando idle.

Opmerking: Als de bit *RxMultiple* in register *RxModeReg* op logisch 1 staat, zal dit commando nooit de ontvangststatus verlaten, omdat de ontvangst niet automatisch wordt geannuleerd.

18.3.1.9 MFAuthent-opdracht

Deze opdracht handelt de MIFARE®- authenticatie af om een veilige communicatie met elke MIFARE® classic-kaart mogelijk te maken. De volgende gegevens worden vóór de FIFO naar de FIFO geschreven commando kan worden geactiveerd:

- Verificatieopdrachtcode (60h, 61h)
- Adres blokkeren
- Sectorsleutel byte
0 • Sectorsleutel byte
1 • Sectorsleutel byte
2 • Sectorsleutel byte
3 • Sectorsleutel byte
4 • Sectorsleutel byte
5 • Kaartserienummer byte 0
• Kaartserienummer byte 1 •
Kaartserienummer byte 2 •
Kaart serienummer byte 3

In totaal zullen er 12 bytes naar de FIFO worden geschreven.

Opmerking: Wanneer het MFAuthent-commando actief is, wordt elke FIFO-toegang geblokkeerd. Hoe dan ook, als er toegang is tot de FIFO, wordt de bit *WrErr* in het **ErrorReg** - register gezet.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Deze opdracht wordt automatisch beëindigd wanneer de MIFARE® -kaart is geverifieerd en de bit *MFCrypto1On* in het *Status2Reg*- register is ingesteld op logisch 1.

Dit commando wordt niet automatisch beëindigd wanneer de kaart niet antwoordt, daarom moet de timer worden geïnitialiseerd in de automatische modus. In dit geval kan naast de bit *IdleIrq* de bit *TimerIrq* worden gebruikt als beëindigingscriterium. Tijdens de authenticatieverwerking worden de bit *RxIrq* en bit *TxIrq* geblokkeerd. De *Crypto1On*- bit is alleen geldig na beëindiging van het authent-commando (hetzij na verwerking van het protocol, hetzij na het schrijven van IDLE naar het commandoregister).

Als er een fout optreedt tijdens de authenticatie, wordt de bit *ProtocolErr* in het *ErrorReg* - register op logische 1 gezet en de bit *Crypto1On* in register *Status2Reg* op logische 0.

18.3.1.10 SoftReset-opdracht

Deze opdracht voert een reset van het apparaat uit. De configuratiegegevens van de interne buffer blijven ongewijzigd. Alle registers zijn ingesteld op de resetwaarden. Deze opdracht wordt automatisch beëindigd wanneer deze is voltooid.

Opmerking: Het register *SerialSpeedReg* wordt gereset en daarom wordt de seriële datasnelheid ingesteld op 9,6 kbps.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

19. Testsignaal

19.1 Zelftest

De MFRC522 heeft de mogelijkheid om een digitale zelftest uit te voeren. Om de zelftest te starten moet de volgende procedure worden uitgevoerd:

1. Voer een zachte reset uit.
2. Wis de interne buffer door 25 bytes van 00h te schrijven en voer de configuratieopdracht uit.
3. Schakel de zelftest in door de waarde 09h naar het register *AutoTestReg te schrijven.*
4. Schrijf 00h naar de FIFO.
5. Start de zelftest met het CalcCRC-commando.
6. De zelftest wordt uitgevoerd.
7. Wanneer de zelftest is voltooid, bevat de FIFO de volgende bytes:

Juiste antwoord voor register VersionReg gelijk aan 90h:

00u, 87u, 98u, 0fu, 49u, FFu, 07u, 19u
BFh, 22u, 30u, 49u, 59u, 63u, ADh, CAh
7Fh, E3h, 4Eh, 03h, 5Ch, 4Eh, 49h, 50h 47h,
9Ah, 37h, 61h, E7h, E2h, C6h, 2Eh 75h, 5Ah,
EDh, 04h, 3Dh, 02h, 4Bh, 78h 32h, FFh, 58h ,
3Bh, 7Ch, E9h, 00h, 94h
B4h, 4Ah, 59h, 5Bh, FDh, U9h, 29h, DFh 35h,
96h, 98h, 9Eh, 4Fh, 30h, 32h, 8Dh

Juiste antwoord voor register VersionReg gelijk aan 91h:

00u, C6u, 37u, D5u, 32u, B7u, 57u, 5K,
C2h, D8h, 7Ch, 4Dh, D9h, 70h, C7h, 73h, 10h,
E6h, D2h, AAh, 5Eh, A1h, 3Eh, 5Ah, 14h, AFh,
30h, 61h, C9h, 70h, DBh, 2Eh, 64h, 22u, 72u,
B5u, BDu, 65u, F4u, ECh, 22u, BCh, D3u, 72u,
35u, CDu, AAh, 41u,
1Fh, A7h, F3h, 53h, 14h, DEh, 7Eh, 02h,
D9h, 0Fh, B5h, 5Eh, 25h, 1Dh, 29h, 79h

19.2 Testbus

De testbus is geïmplementeerd voor productietestdoeleinden. De volgende configuratie kan worden gebruikt om het ontwerp van een systeem met de MFRC522 te verbeteren. De testbus maakt het mogelijk om interne signalen naar de digitale interface te sturen. De testbussignalen worden geselecteerd door toegang te krijgen tot *TestBusSel* in register *TestSel2Reg.*

Tabel 150: TestSel2Reg register (adres 07h)

Spelden	D6	D5	D4	D3	D2	D1
test signaal	gegevens	scrol	valit	slapend	RCV_reset	-

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 151: Beschrijving van testsignalen

Spelden	test signaal	Beschrijving
D6	gegevens	toont de werkelijk ontvangen datastroom.
D5	scrol	geeft aan of er in de daadwerkelijke bit een botsing is gedetecteerd (alleen 106 kbit/s)
D4	valit	laat zien of sdata en scol geldig zijn
D3	tot dusver	geeft aan dat de ontvanger een stopvoorwaarde heeft gedetecteerd
D2	RCV_reset	geeft aan of de ontvanger is gereset
D1	-	gereserveerd

Tabel 152: TestSel2Reg register (adres 0Dh)

Spelden	D6	D5	D4	D3	D2	D1
Testsignaal	clkstable	clk27/8	-	-	clk27	-

Tabel 153: Beschrijving van testsignalen

Spelden	test signaal	Beschrijving
D6	clkstable	laat zien of de oscillator een stabiel signaal afgeeft. toont
D5	clk27/8	het uitgangssignaal van de oscillator gedeeld door 8
D4 tot D3	-	gereserveerd
D2	clk27	toont het uitgangssignaal van de oscillator
D1	-	gereserveerd

19.3 Testsignaal op pin AUX

Met de MFRC522 kan de gebruiker interne signalen selecteren om deze op pin AUX te meten.
Deze metingen kunnen tijdens de ontwerpfase nuttig zijn om het ontwerp te optimaliseren of voor testdoeleinden.

Tabel 154 geeft een overzicht van het signaal dat naar pin AUX1 of AUX2 geschakeld kan worden door *SelAux1* of *SelAux2* in te stellen in het register *AnalogTestReg.*

Zie ook registreren *AnalogSelAux.*

Opmerking: De DAC heeft een stroomuitgang. Het wordt aanbevolen om een pull-down weerstand van 1 kÿ te gebruiken op pinnen AUX1/AUX2.

Tabel 154: Beschrijving testsignalen

SelAux	Beschrijving voor Aux1 / Aux2
0000	Je bent verdrietig
0001	DAC: registreer TestDAC 1/2
0010	DAC: testsignaal corr1
0011	Gereserveerd
0100	DAC: testsignaal MinLevel
0101	DAC: ADC_I
0110	DAC: ADC_Q
0111 - 1001	Gereserveerd
1010	Hoog
1011	laag

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 154: Beschrijving testsignalen

SelAux	Beschrijving voor Aux1 / Aux2
1100	TxActief
1101	RxActief
1110	Subdraaggolf gedetecteerd
1111	TstBusBit

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

19.3.1 Voorbeeld: Uitgang TestDAC 1 op AUX1 en TestDAC 2 op AUX2

Registreren *AnalogTestReg* staat op 11u. De output van AUX1 komt overeen met de TestDAC 1 en de output van AUX2 met de TestDAC 2. De waarde van TestDAC 1 en TestDAC 2 wordt geregeld door register *TestDAC1Reg* en *TestDAC2Reg.*

Afbeelding 24 toont *TestDAC1Reg* geprogrammeerd met een helling van 00h tot 3Fh. *TestDAC2Reg* is geprogrammeerd met een rechthoekig signaal met waarden van 00h en 3Fh.

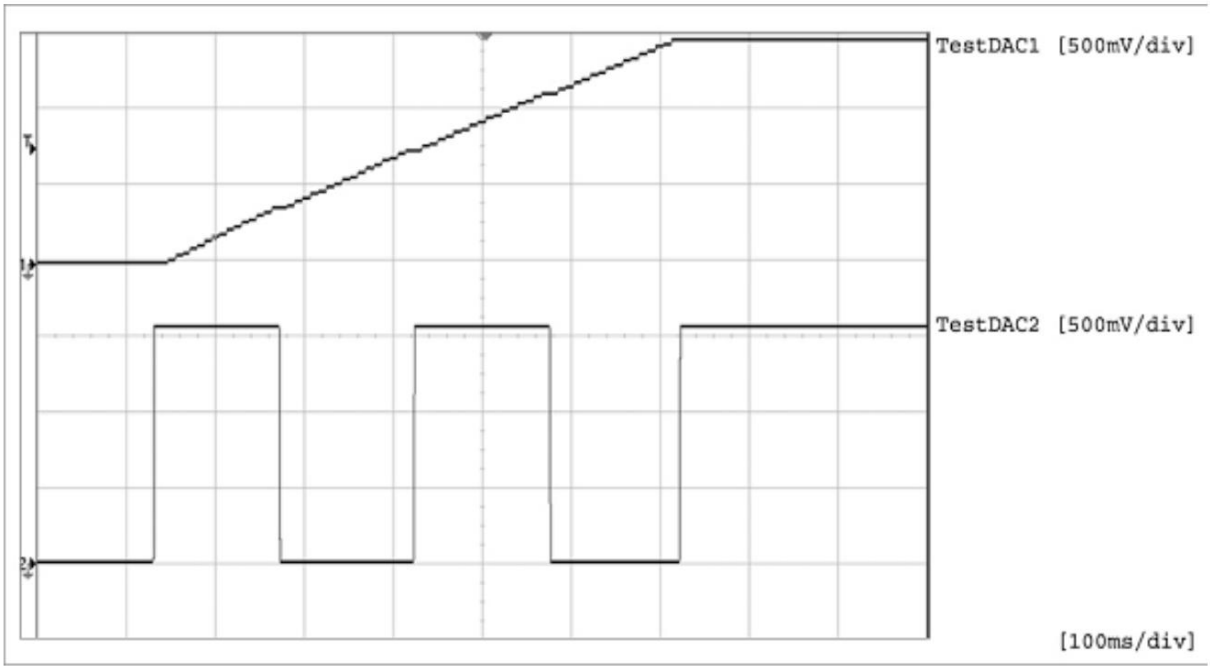


Fig 24. Uitgang TestDAC 1 op AUX1 en TestDAC 2 op AUX2

19.3.2 Voorbeeld: Uitgang Testsignaal Corr1 op AUX1 en MinLevel op AUX2

De volgende afbeelding 25 toont het testsignaal Corr 1 en het testsignaal MinLevel. De *AnalogTestReg* is ingesteld op 24 uur. De uitvoer van AUX1 komt overeen met het Corr1-signaal en AUX2 met het MinLevel.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

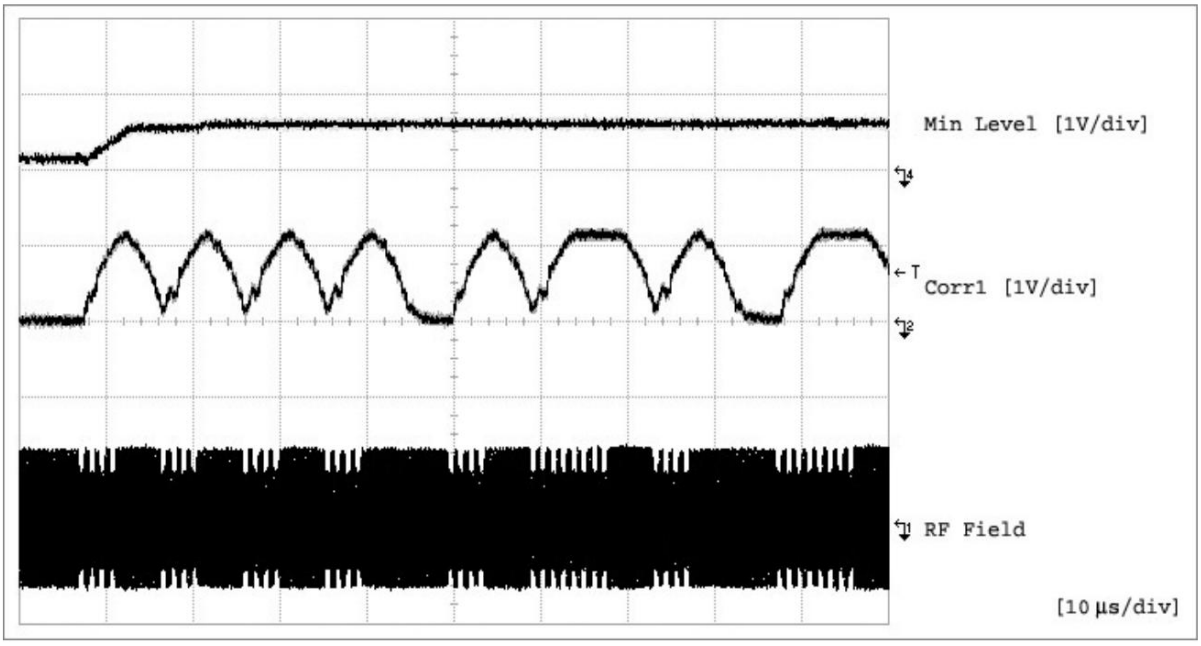


Fig 25. Uitgangstestsignaal Corr1 op AUX1 en MinLevel op AUX2.

19.3.3 Voorbeeld: Uitgang ADC kanaal I op AUX 1 en ADC kanaal Q op AUX 2

Afbeelding 26 toont het ADC_I- en ADC_Q-kanaalgedrag. De *AnalogTestReg* is ingesteld op 56 uur.

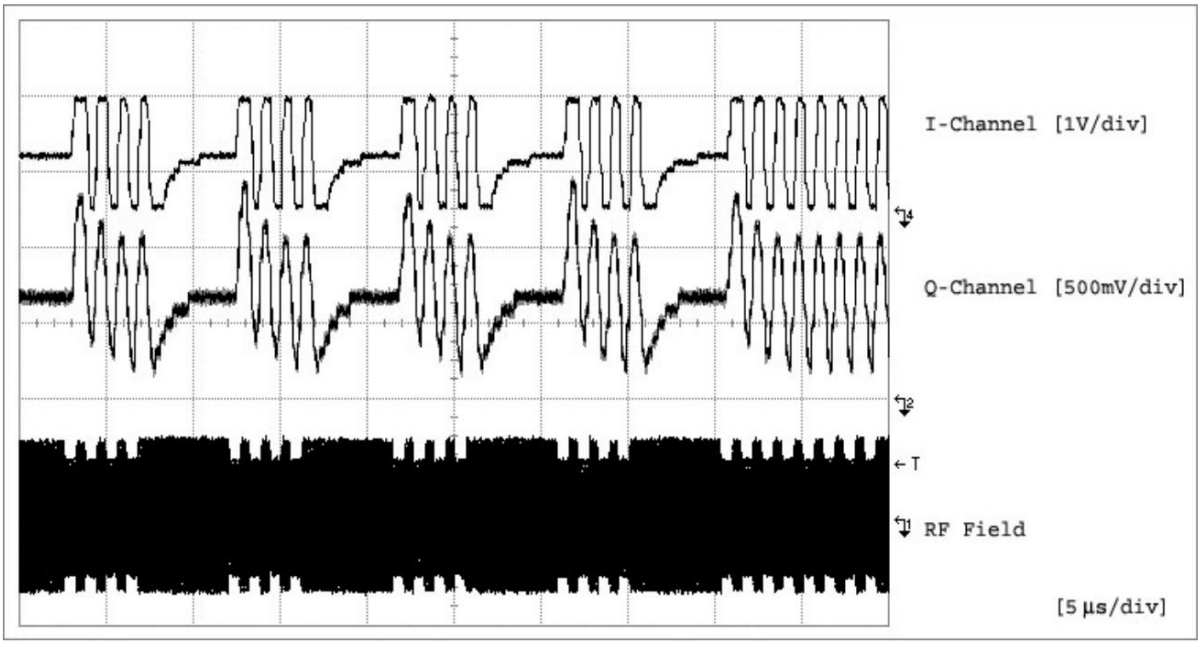


Fig 26. Uitgang ADC kanaal I op AUX 1 en ADC kanaal Q op AUX 2.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

19.3.4 Voorbeeld: uitgang RxActive op AUX 1 en TxActive op AUX 2

De volgende afbeelding 27 toont het RXActive- en TXActive-signaal in overeenstemming met de RF-communicatie. De *AnalogTestReg* was ingesteld op CDh.

Opmerking: Bij 106 kbit/s is RxActive HOOG tijdens databits, pariteit en CRC-ontvangst. Startbits zijn niet inbegrepen.

Met 106 kbit/s is TxActive HOOG tijdens startbits, databits, pariteit en CRC-transmissie.

Met 212, 424 en 848 kbit/s is RxActive HOOG tijdens datbits en CRC-ontvangst. Startbits zijn niet inbegrepen.

Met 212, 424 en 848 kbit/s is TxActive HOOG tijdens databits en CRC-transmissie.

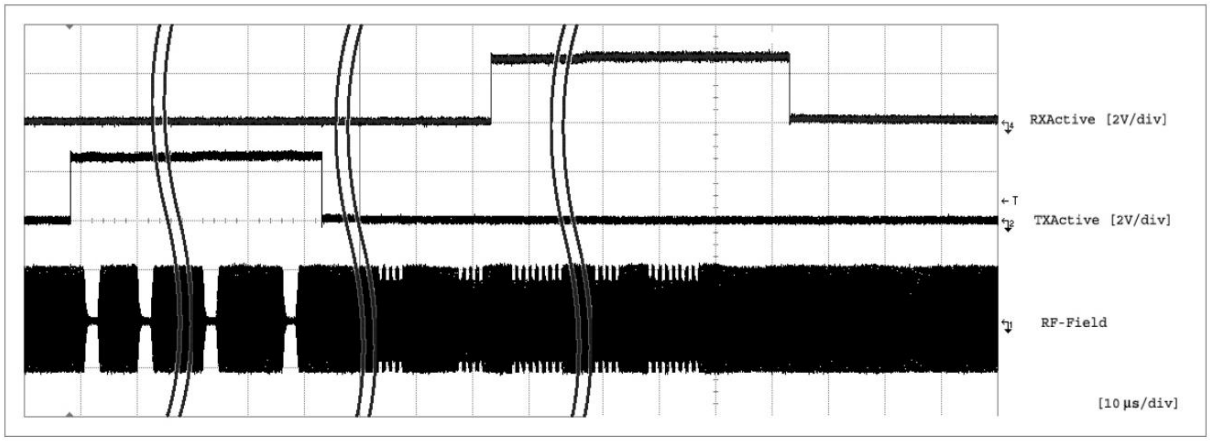


Fig 27. Uitgang RxActive op AUX 1 en TxActive op AUX 2.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

19.3.5 Voorbeeld: uitvoer Rx-gegevensstroom op AUX 1 en AUX 2

De volgende afbeelding 28 toont de feitelijk ontvangen gegevensstroom. *TestSel2Reg* is ingesteld op 07h om bepaalde digitale testgegevens op D1-D6 in te schakelen (zie paragraaf 19.2 “Testbus”). Het register *TestSel1Reg* is ingesteld op 06h (D6 = sdata) en *AnalogTestReg* is ingesteld op FFh om de ontvangen datastroom uit te voeren naar pin AUX1 en AUX2.

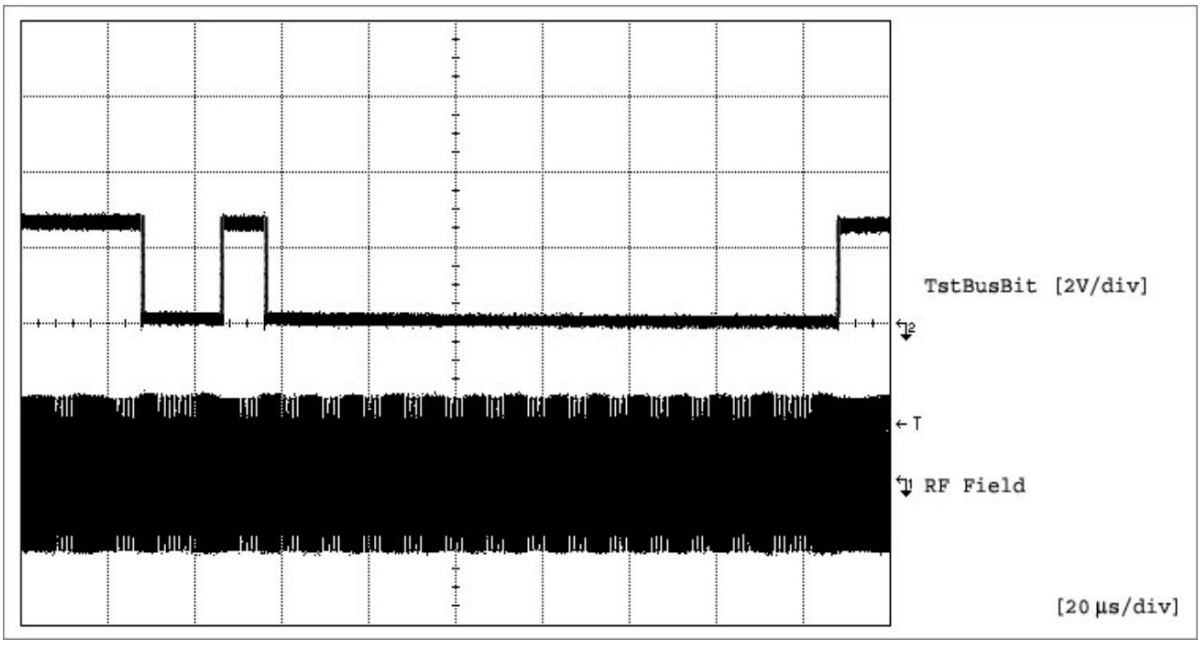


Fig 28. Rx-gegevensstroom uitvoeren op AUX 1 en AUX 2.

19.4 PRBS (pseudo-willekeurige binaire reeks)

Maakt de PRBS9- of PRBS15-reeks mogelijk volgens ITU-TO150. Om de verzending van de gedefinieerde datastroom te starten, moet het commando TRANSMIT worden geactiveerd.

De preamble/Sync byte/start bit/parity bit worden automatisch gegenereerd, afhankelijk van de geselecteerde modus.

Opmerking: Alle relevante registers om gegevens te verzenden moeten worden geconfigureerd voordat ze worden ingevoerd PRBS-modus volgens ITU-TO150.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

20. Grenswaarden

Tabel 155. Grenswaarden *Conform het Absolute Maximum Rating System (IEC 60134).*

Symbool	Parameter	Voorwaarden	min	Max	Eenheid
AFDELING	Voedingsspanning		-0,5	+4.0	IN
DVDD					
PVDD					
TVDD					
SVDD					
komen	Ingangsspanning	voor alle input-pinnen behalve MFIN en Rx	PVSS -0.5 PVDD +0.5 V		
Kom op, MFIN	Ingangsspanning	alleen voor MFIN-pin	PVSS-0,5 SVDD+0,5 V		
Aftakas	Totale vermogensdissipatie per pakket (VBUS en DVDD in snelkoppelingsmodus)		-	200	mW
TJ	Junction temperatuurbereik			100	° C
ESDH	ESD-gevoeligheid (menselijk lichaamsmodel) 1500 ÿ, 100 pF;	JESD22-A114-B		2000	IN
ESDM	ESD-gevoeligheid (machinemodel)	0,75 µH, 200 pF; JESD22-A114-A		200	IN

21. Aanbevolen bedrijfsomstandigheden

Tabel 156: Bedrijfsomstandigheden

Symbool	parameter	Voorwaarden	min	Type	Max	Eenheid
ook	Omgeving Temperatuur	HVQFN32	-25	-	+85	° C
AFDELING DVDD TVDD	Voedingsspanning	AVSS = DVSS = PVSS= TVS = 0 V, PVDD ÿ AVDD = DVDD = TVDD	[2] 2.5	3.3	3.6	IN
PVDD			[3] 1.6	1.8	3.6	IN

[1] Voedingsspanningen onder 3 V verminderen de prestaties (bijv. de haalbare werkafstand).

[2] AVDD, DVDD en TVDD moeten altijd op hetzelfde spanningsniveau staan.

[3] PVDD moet altijd op hetzelfde of een lager spanningsniveau staan dan DVDD.

22. Thermische eigenschappen

Tabel 157: Thermische kenmerken

Symbool	parameter	Voorwaarden	Pakkettype	Eenheid
Rthj-a	Thermische weerstand van knooppunt tot omgevingstemperatuur	In stille lucht met blootliggende pad gesoldeerd op een 4-laags Jedec PCB	HVQFN32 40	K/W

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

23. Kenmerken

23.1 Ingangspenkarakteristieken

23.1.1 Input Pinkarakteristieken voor pinnen EA, I2C en NRESET

Tabel 158: Ingangspenkarakteristieken voor pinnen EA, I2C en NRESET

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
het haar	Ingang Lekstroom		-1	-	1	ÿA
Hiv	Ingangsspanning Hoog		0.7 PVDD -- V			
ZULLEN	Ingangsspanning laag		-	-	0.3 PVDD V	

23.1.2 Input Pinkarakteristieken voor pin MFIN

Tabel 159: Ingangspenkarakteristieken voor MFIN

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
het haar	Ingang Lekstroom		-1	-	1	ÿA
Hiv	Ingangsspanning hoog		0,7 SVDD -- V		0,3 SVDD V	
ZULLEN	Ingangsspanning laag		-	-		

23.1.3 Input/Output Pinkarakteristieken voor pinnen D1, D2, D3, D4, D5, D6 en D7

Tabel 160: Karakteristieken van ingangs-/uitgangspennen voor pennen D1, D2, D3, D4, D5, D6 en D7

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
het haar	Ingang Lekstroom		-1	-	1	ÿA
Hiv	Ingangsspanning hoog		0.7 PVDD -- V			
ZULLEN	Ingangsspanning laag		-	-	0.3 PVDD	IN
VOH	Uitgangsspanning HOOG	PVDD = 3 V, ik = 4mA	PVDD -400 mV -		PVDD	IN
VOL	Uitgangsspanning LAAG	PVDD = 3 V, ik = 4mA	PVSS	-	PVSS +400 mV V	
John	Uitgangsstroom aandrijving HOOG	PVDD = 3 V	-	-	4	mA
IOL	Uitgangsstroom aandrijving LAAG	PVDD = 3 V	-	-	4	mA

23.1.4 Input Pinkarakteristieken voor pin SDA

Tabel 161: Ingangspenkarakteristieken voor pen SDA

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
het haar	Ingang Lekstroom		-1	-	1	ÿA
Hiv	Ingangsspanning hoog		0.7 PVDD -- V			
ZULLEN	Ingangsspanning laag		-	-	0.3 PVDD	IN

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

23.1.5 Uitgang Pinkarakteristieken voor Pin MFOUT

Tabel 162: Uitgangspenkarakteristieken voor pen MFOUT

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
VOH	Uitgangsspanning HOOG	SVDD = 3 V, ik = 4mA	SVDD -400 mV	-	SVDD	IN
VOL	Uitgangsspanning LAAG	SVDD = 3 V, ik = 4mA	SVSS	-	PVSS +400 mV	V
IOL	Uitgangsstroom aandrijving LAAG	SVDD = 3 V	-	-	4	mA
John	Uitgangsstroom aandrijving HOOG	SVDD = 3 V	-	-	4	mA

23.1.6 Uitgangspenkarakteristieken voor Pin IRQ

Tabel 163: Uitgangspenkarakteristieken voor pen IRQ

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
VOH	Uitgangsspanning HOOG	PVDD = 3 V, ik = 4mA	PVDD -400 mV	-	PVDD	IN
VOL	Uitgangsspanning LAAG	PVDD = 3 V, ik = 4mA	PVSS	-	PVSS +400 mV	V
IOL	Uitgangsstroom aandrijving LAAG	PVDD = 3 V	-	-	4	mA
John	Uitgangsstroom aandrijving HOOG	PVDD = 3 V	-	-	4	mA

23.1.7 Karakteristieken ingangspin voor pin Rx

Tabel 164: Ingangspenkarakteristieken voor pen Rx

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
VIN,RX	Ingangsspanningsbereik	**AVDD** = 3 V, ontvanger actief, VRX = 1 VPP, 1,5 VDC offset	-1	-	AVDD +1	V
CIN,RX	RX Ingangscapaciteit		-	10	-	pF
RIN,RX	RX-invoerserie weerstand	AVDD = 3 V, ontvanger actief, VRX = 1VPP, 1,5 VDC offset	-	350	-	Oh

[1] De spanning op RX wordt door interne diodes geklemd op AVSS en AVDD.

23.1.8 Input Pinkarakteristieken voor pin OSCIN

Tabel 165: Ingangspenkarakteristieken voor OSCIN

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
het haar	Ingang Lekstroom		-1	-	1	ÿA

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 165: Ingangspenkarakteristieken voor OSCIN

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
Hiv	Ingangsspanning hoog		AVDD -- V	0,3 AVDD	V	
ZULLEN	Ingangsspanning laag		-	-		
COSCIN	Ingangscapaciteit	AVDD = 2,8 V, VDC = 0,65 V, VAC = 1VPP	-	2	-	pF

23.1.9 Uitgangspenkarakteristieken voor pinnen AUX1 en AUX2

Tabel 166: Uitgangspenkarakteristieken voor pinnen AUX1 en AUX2

Symboolparameter		Voorwaarden	min	Typ	Max	Eenheid
VOH	Uitgangsspanning HOOG	DVDD = 3 V, ik = 4mA	DVDD -400 mV	-	DVDD	IN
VOL	Uitgangsspanning LAAG	DVDD = 3 V, ik = 4mA	DVSS	-	DVSS +400 mV	V
IOL	Uitgangsstroom aandrijving LAAG	DVDD = 3 V	-	-	4	mA
John	Uitgangsstroom aandrijving HOOG	DVDD = 3 V	-	-	4	mA

23.1.10 Uitgangspenkarakteristieken voor pennen TX1 en TX2

Tabel 167: Uitgangspenkarakteristieken voor pennen TX1 en TX2

Symbool	Parameter	Voorwaarden	min	Typ	Max	Eenheid
VOH,C32,3V	Uitgangsspanning HOOG	TVDD = 3 V en ITX = 32mA, *CWGsP* = 3Fh	TVDD -150 mV	-	-	mV
VOH, C80, 3V		TVDD = 3 V en ITX = 80mA, *CWGsP* = 3Fh	TVDD -400 mV	-	-	mV
VOH,C32,2V5		TVDD = 2,5 V en ITX = 32 mA, *CWGsP* = 3Fh	TVDD -240 mV	-	-	mV
VOH,C80,2V5		TVDD = 2,5 V en ITX = 80 mA, *CWGsP* = 3Fh	TVDD -640 mV	-	-	mV
VOL,C32,3V	Uitgangsspanning LAAG	TVDD = 3 V en ITX = 32mA, *CWGsP* = 0Fh	-	-	150	mV
VOL, C80, 3V		TVDD = 3 V en ITX = 80mA, *CWGsP* = 0Fh	-	-	400	mV
VOL,C32,2V5		TVDD = 2,5 V en ITX = 32 mA, *CWGsP* = 0Fh	-	-	240	mV
VOL,C80,2V5		TVDD = 2,5 V en ITX = 80 mA, *CWGsP* = 0Fh	-	-	640	mV

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

23.2 Huidig verbruik

Tabel 168: Huidig verbruik

Symbool	Parameter	Voorwaarden	min			Maximale eenheid
IHPD	Harde uitschakeling Stroming	AVDD = DVDD = TVDD = PVDD = 3 V, NRESET = LAAG	**Type** [4]	--5	ÿA	
ISPD	Zachte uitschakeling Stroming	AVDD = DVDD = TVDD = PVDD = 3 V	[4]	-	-	10 ÿA
IDVDD	Digitale levering Stroming	DVDD = 3 V		-	6.5	9 mA
IAVDD	Analoge voeding Stroming	AVDD = 3 V, bit *RCVUit* = 0		-	7	10 mA
IAVDD,RCVOFF	analoge voeding Stroom, ontvanger uitgeschakeld	AVDD = 3 V, bit *RCVUit* = 1		-	3	5 mA
IPVDD	Pad-levering Stroming		[2]	-	-	40 mA
ITVDD	Zender levering Stroming	Continue golf [1][3]		-	60[5]	100mA
ISVDD	MFIN/MFOUT Pad Voedingsstroom		[6]	-	-	4 mA

[1] ITVDD is afhankelijk van TVDD en de externe circuits die zijn aangesloten op Tx1 en Tx2

[2] IPVDD is afhankelijk van de totale belasting van de digitale pinnen.

[3] Tijdens bedrijf met een typisch circuit is de totale stroom lager dan 100 mA.

[4] ISPD en IHPD zijn de totale stromen over alle leveringen.

[5] Typische waarde bij gebruik van een aanvullende driverconfiguratie en een antenne afgestemd op 40 ÿ tussen TX1 en TX2 op 13,56 MHz

[6] ISVDD is afhankelijk van de belasting op de MFOUT-pin.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

23.3 RX-ingangsspanningsbereik

Tabel 169: Bereik RX-ingangsspanning

Symbool	Parameter	Voorwaarden	min	Typ	maximale	eenheid
VRX, MiniIV, Man	Minimale ingangsspanning, Manchester gecodeerd	AVDD = 3V	-	100	-	mVpp
VRX,MaxIV,Man	Maximale ingangsspanning, Manchester gecodeerd	AVDD = 3V	-	4	-	Vpp

Afbeelding 29 schetst de spanningsdefinities.

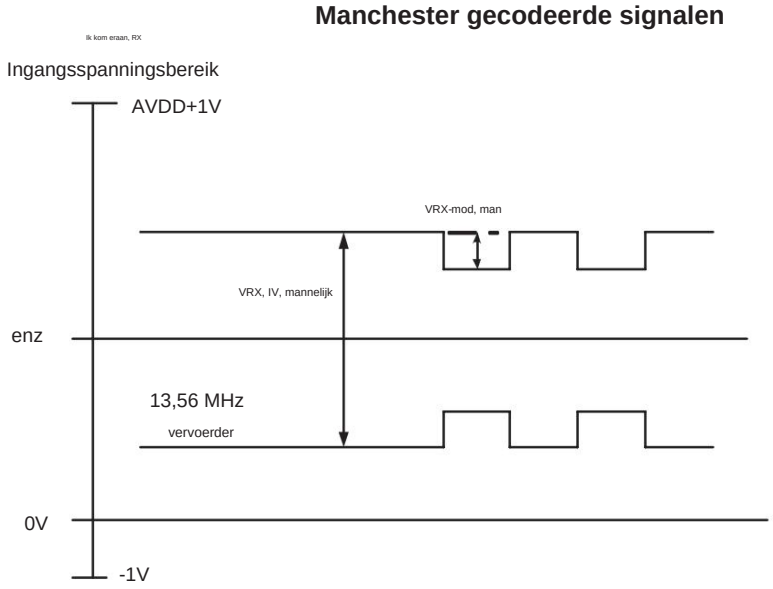


Fig 29. Bereik RX-ingangsspanning

23.4 RX-ingangsgevoeligheid

Tabel 170: RX-ingangsgevoeligheid

Symboolparameter		Voorwaarden	Min	Typ	Max	Eenheid
VRXMod,Man	Minimale modulatiespanning	AVDD = 3 V, RxGain = 7	-	5	-	mV

Afbeelding 29 schetst de spanningsdefinities.

23.5 Klokfrequentie

Tabel 171: Klokfrequentie

Symboolparameter		Voorwaarden	min	Type	Max	Eenheid
fOSCIN	Klok Frequentie		-	27.12	-	MHz
dFEC	Inschakelduur van de klok Frequentie		40	50	60	%
geklets	Jitter van klokranden		-	-	10	ps, RMS

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

23.6 XTAL-oscillator

Tabel 172: XTAL-oscillator

Symbool	Parameter	Voorwaarden	Min	Typ	Max	Eenheid
VOH,OSCOUT	Uitgangsspanning hoog XTAL2		-	1.1	-	IN
VOL,OSCOUT	Uitgangsspanning laag XTAL2		-	0.2	-	IN
CIN,OSCOUT	Ingangscapaciteit OSCOUT		-	2	-	pF
CIN, OSCIN	Ingangscapaciteit OSCIN		-	2	-	pF

23,7 typische 27,12 MHz kristalvereisten

Tabel 173: XTAL-oscillator

Symbool	Parameter	Voorwaarden	min	Typ	maximale	eenheid
fXTAL	XTAL-frequentiebereik		-	27.12	-	MHz
ESR	Weerstand XTAL Equivalent Series		-	-	100 Ohm	
CL	XTAL Belastbaarheid		-	10	-	pF
PXTAL	XTAL-aandrijfniveau		-	50	100W	

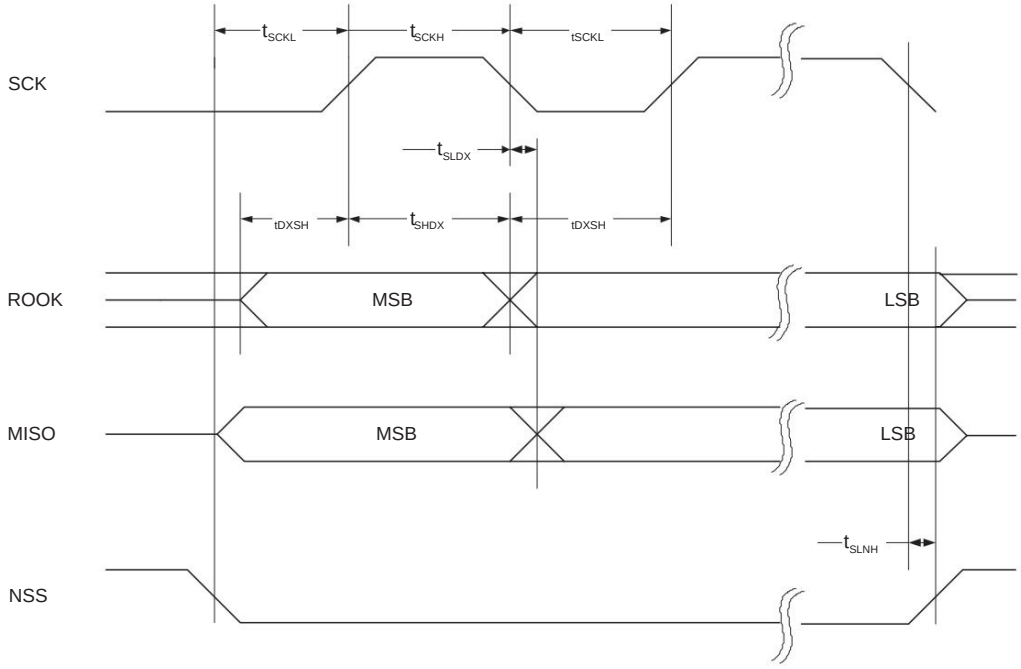
© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

23.8 Timing voor de SPI-compatibele interface

Tabel 174: Timingspecificatie voor SPI

Symboolparameter	Voorwaarden	min	Type	Maximale eenheid
tSCKL	SCK lage pulsbreedte	50	-	NS
tSCKH tSHDX SCK hoge pulsbreedte		50	-	NS
gegevenswijzigingen gegevenswijzigingen naar		25	-	NS
tDXSH	SCK hoog	25	-	NS
tSLDX	SCK laag voor gegevenswijzigingen	-	25	NS
tSLNH	SCK laag naar NSS hoog	0	-	NS



Opmerking: Het signaal NSS moet laag zijn om meerdere bytes in één datastroom te kunnen versturen. Om meer dan één datastroom te verzenden, moet NSS tussen de data op HOOG worden ingesteld stromen.

Fig 30. Timingschema voor SPI.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

23.9 I2C- timing

Tabel 175. Overzicht I2C -timing in snelle modus

Symboolparameter		Snelle modus		Hogesnelheidsmodus		Eenheid
		min	Max	min	Max	
	SCL-klokfrequentie	0	400	0	3400kHz	
fSCL tHD;STA	Houdtijd (herhaald) START-conditie. Na deze periode wordt de eerste klokpuls gegenereerd	600	-	160	-	NS
tSU;STA	Insteltijd voor een herhaalde START voorwaarde	600	-	160	-	NS
tSU;STO	Insteltijd voor STOP-conditie	600	-	160	-	NS
tLOW	LOW-periode van de SCL-klok	1300	-	160	-	NS
dij	HOGE periode van de SCL-klok	600	-	60	-	NS
tHD;DAT	Bewaartijd gegevens	0	900	0	70	NS
tSU;DAT	Tijd om gegevens in te stellen	100	-	10	-	NS
	Stijgtijd SCL signaleert trscl	20	300	10	40	NS
tfscl	Valtijd SCL-signalen	20	300	10	40	NS
trsda	Stijgtijd van zowel SDA- als SCL-signalen	20	300	10	80	NS
tfsda	Valtijd van zowel SDA- als SCL-signalen	20	300	10	80	NS
tBUF	Busvrije tijd tussen een STOP en START voorwaarde	1.3	-	1.3	-	ÿs

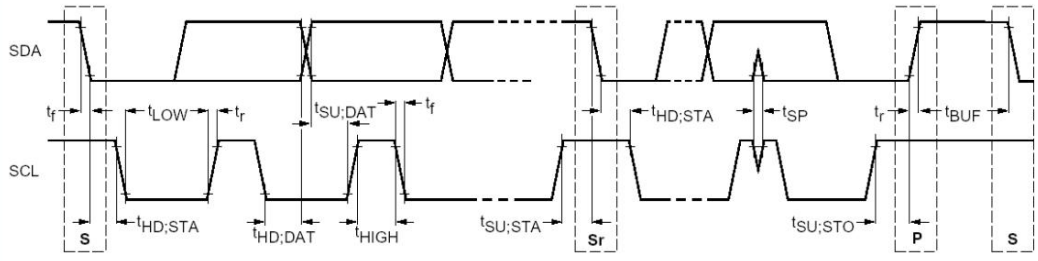


Fig 31. Timing voor apparaten in F/S-modus op de I2C-bus.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

24. Aanvraaggegevens

De onderstaande afbeelding toont een typisch schakelschema, waarbij gebruik wordt gemaakt van een aanvullende antenneverbinding met de MFRC522.

Het afstemmen van de antenne en het matchen van RF-onderdelen wordt beschreven in de Application Note Ref. 1 en ref. 2.

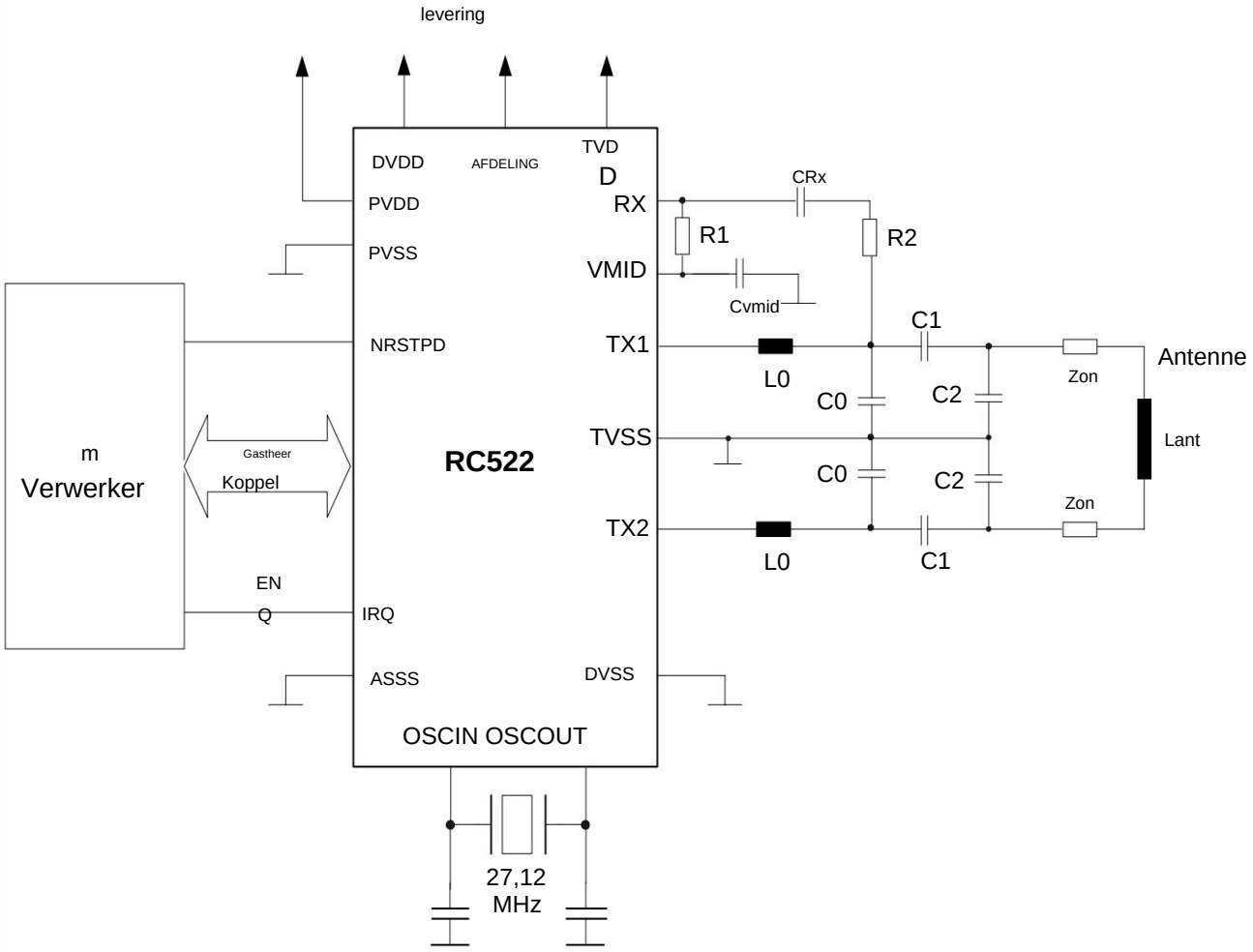


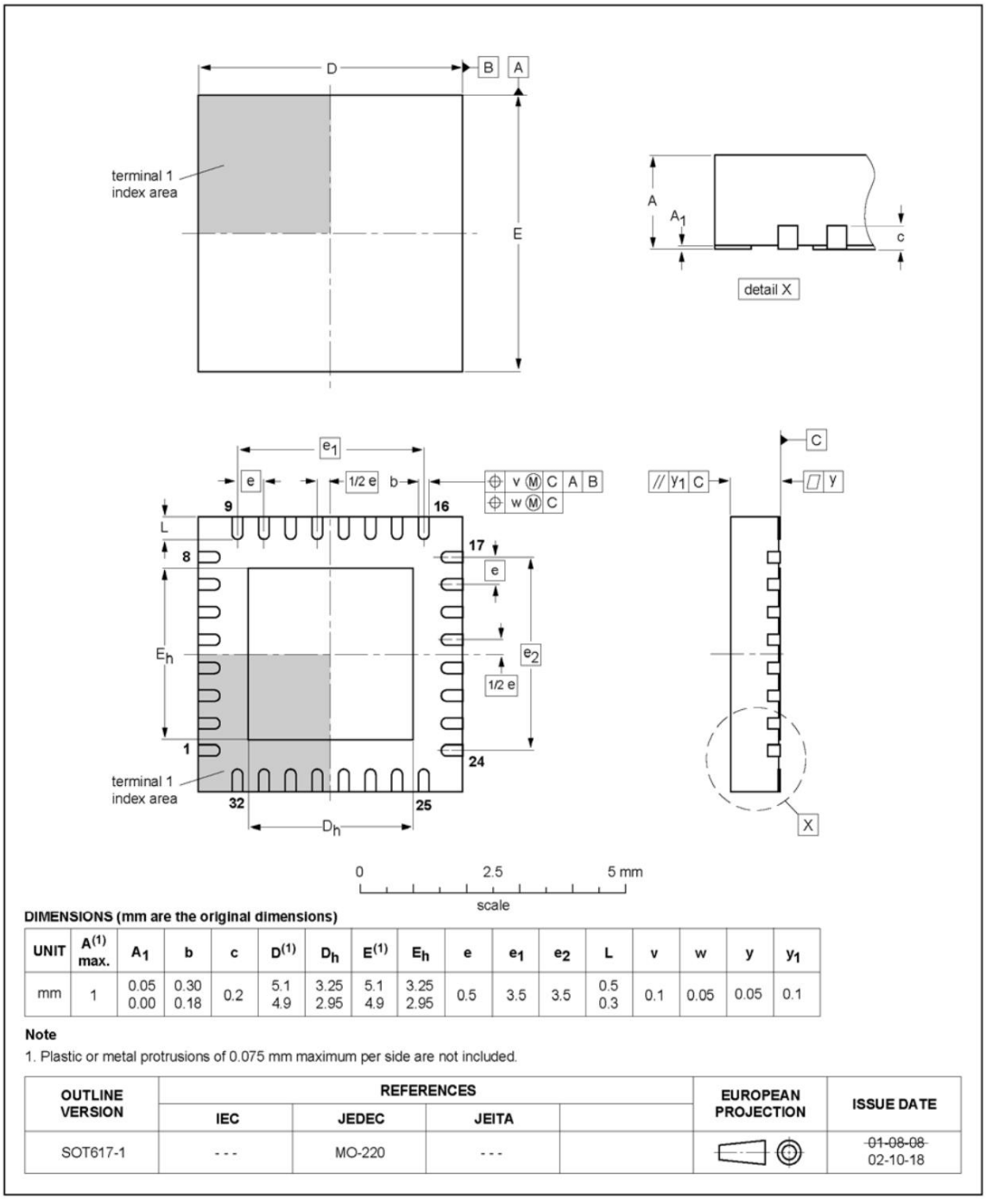
Fig 32. Typisch toepassingscircuitschema

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

25. Pakketoverzicht

HVQFN32: plastic thermal enhanced very thin quad flat package; no leads;
32 terminals; body 5 x 5 x 0.85 mm SOT617-1



DIMENSIONS (mm are the original dimensions)

UNIT	A(1) max.	A_1	b	c	D(1)	D_h	E(1)	E_h	e	e_1	e_2	L	v	w	y	y_1
mm	1	0.05 0.00	0.30 0.18	0.2	5.1 4.9	3.25 2.95	5.1 4.9	3.25 2.95	0.5	3.5	3.5	0.5 0.3	0.1	0.05	0.05	0.1

Note

1. Plastic or metal protrusions of 0.075 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT617-1	---	MO-220	---			~~01-08-08~~ 02-10-18

Fig 33. Pakketoverzicht pakketversie (HVQFN32)

Gedetailleerde pakketinformatie is te vinden op NXP Internet
http://www.nxp.com/package/SOT617-1.html

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

26. Omgaan met informatie

Vochtgevoeligheidsniveau (MSL) Evaluatie is uitgevoerd volgens SNW-FQ-225B rev.04/07/07 (JEDEC J-STD-020C). MSL voor dit pakket is niveau 1, wat betekent 260 °C convectie reflow-temperatuur.

Droogpak is niet vereist.

Onbeperkt uit de verpakking Vloerlevensduur bij maximale omgevingstemperatuur 30 °C/85% RV.

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

27. Verpakkingsinformatie

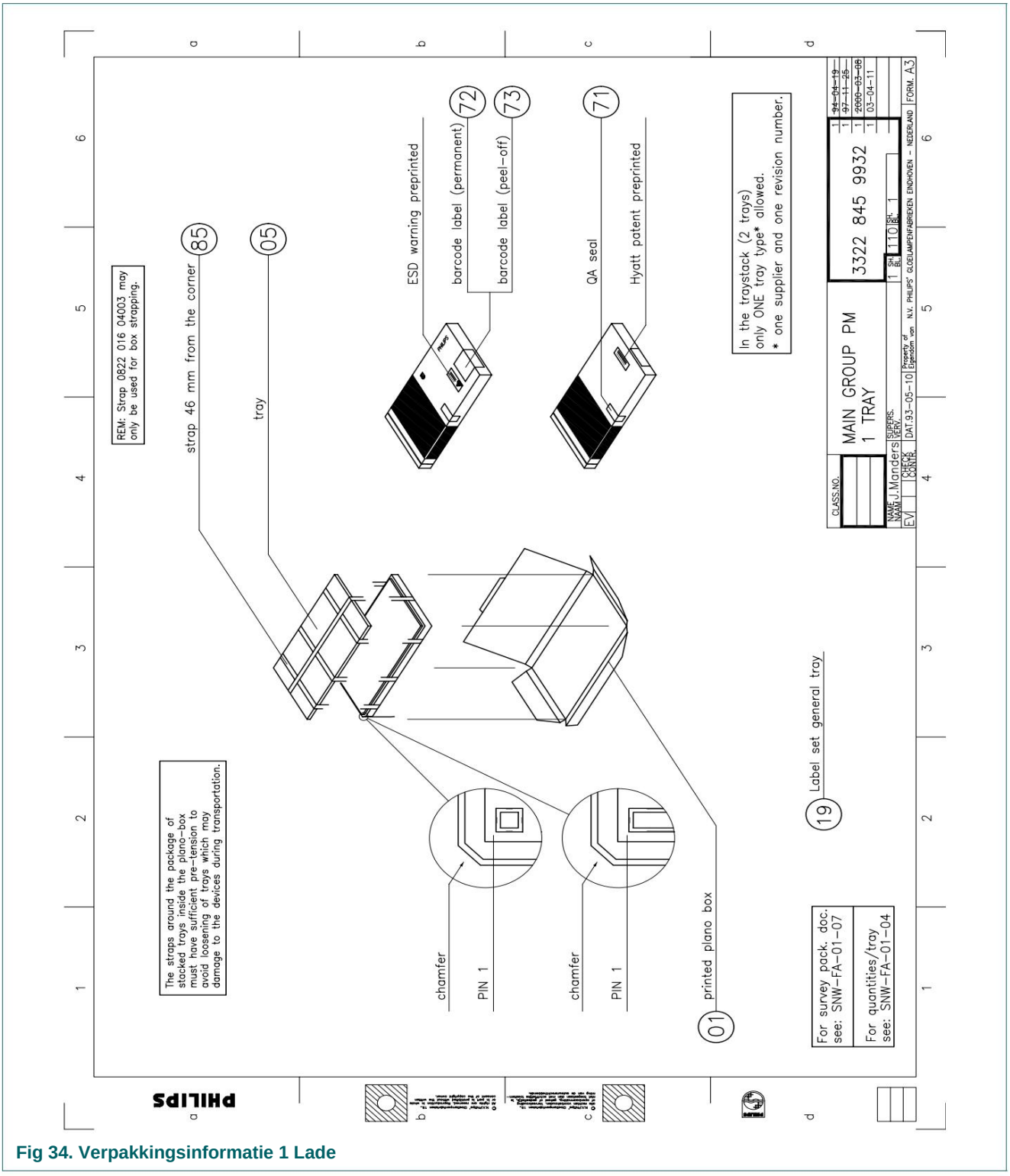


Fig 34. Verpakkingsinformatie 1 Lade

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

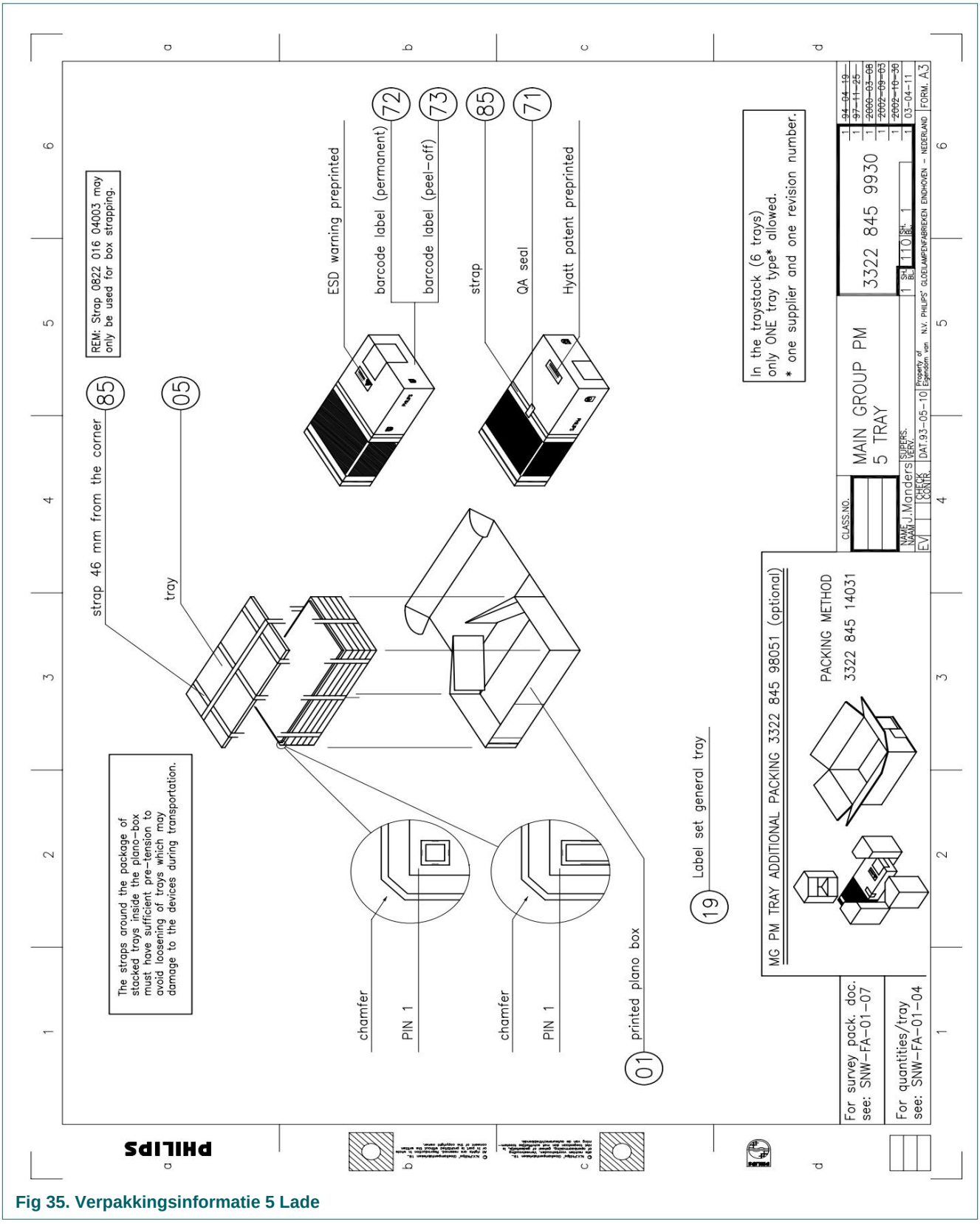


Fig 35. Verpakkingsinformatie 5 Lade

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

28. Afkortingen

Tabel 176: Afkortingen

Acroniem	Beschrijving
VRAGEN	Amplitude Shift keying
PCD	Proximity-koppelingsapparaat. Definitie voor een kaartlezer/schrijver volgens de ISO/IEC 14443-specificatie.
PICC	Nabijheidskaarten. Definitie voor een contactloze smartcard volgens de ISO/IEC 14443-specificatie.
PCD Æ PICC	Communicatiestroom tussen een PCD en een PICC volgens de ISO/IEC 14443A/MIFARE®
PICCÆ PCD	Communicatiestroom tussen een PICC en een PCD volgens de ISO/IEC 14443A/MIFARE®.
Modulatie-index	De modulatie-index wordt gedefinieerd als de spanningsverhouding (Vmax - Vmin)/ (Vmax + Vmin).
Belastingmodulatie	De belastingsmodulatie-index wordt gedefinieerd als de spanningsverhouding van de kaart (Vmax - Vmin)/ (Vmax + Vmin) gemeten bij de spoel van de kaart.

Inhoudsopgave

29. Referenties

[1] AN - MFRC52x Reader IC-reeks direct afgestemd antenneontwerp —
Toepassingsnotitie voor Mifare MFRC52x Reader IC-antenneontwerp

[2] AN - Mifare(14443A) 13,56 MHz RFID naderingsantennes —
Toepassingsnotitie voor Mifare naderingsantenneontwerp

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

30. Revisiegeschiedenis

Tabel 177: Revisiegeschiedenis

Document-ID	Releasedatum	Status gegevensblad	Wijzigingsbericht	Doc. nummer Vervangt
112132	mei 2007	Productgegevensblad	200705005F	Revisie 3.1
	• correctie Interface PIN-volgorde in Tabel 135 “Verbindingsschema voor het detecteren van de verschillende Interfaces Soorten" • correctie Tabel 137 • D0 verwijderd uit Tabel 150, Tabel 151, Tabel 152, Tabel 153 • 212, 424, 848 kbaud verwijderd uit Tabel 169 • correctie typisch toepassingsschema Figuur 32 • zelftestantwoord toevoegen voor versie reg. 91 uur in paragraaf 19.1 "Zelftest" (zie CPCN 200705005F)			
112131	September 2006	Productgegevensblad		Revisie 3.0
	• Introductie nieuwe lay-out van het NXP-gegevensblad • Voeg sectie 4 "Snelle referentiegegevens" toe • Karaktersering tot 848 kbit/s • Toelichting toevoegen aan Tabel 3 “Pinbeschrijving” • Correctie RFU-beschrijving in Tabel 6 “Gedrag van registerbits en zijn aanduiding” • Correctie toegangsrechten van bits 6-4 en 2-0 in Tabel 33 “BitFramingReg register (adres 0Dh); resetten waarde: 00u” • Correctie DTRQ naar uitvoer in tabel 135 “Verbindingsschema voor het detecteren van de verschillende interfaces Soorten" • Gecombineerde "Absolute maximale waarden" en "ESD-karakteristieken" in sectie 20 "Beperkende waarden" • Hernoemde tabel 161 "Input Pin-karakteristieken voor pin SDA" en verwijder "VOL en IOL"			
112130	December 2005	Productinformatieblad		Revisie 2.1
	• Documentstatus gewijzigd in productspecificatie • Bestelinformatie wijzigen Hoofdstuk 5 • Behandelingsinformatie toevoegen Hoofdstuk 26 • Verpakkingsinformatie toevoegen Hoofdstuk 27 • Testsignaalvoorbeelden toevoegen in hoofdstuk 19.3 september 2005 • TxSelReg - bit DriverSel - combinatie 10			
112121				Revisie 2.0
112120	Juli 2005 •	Voorlopig gegevensblad		Revisie 1.0
	Documentstatus gewijzigd naar voorlopige specificatie • weblink naar pakket toegevoegd (hoofdstuk 25) • bestelinformatie toegevoegd (hoofdstuk 5)			
112110	Juli 2005 •	Objectief gegevensblad		Revisie 0.4
	Documentstatus veranderd naar objectieve specificatie • wijzigingen in diverse registerbeschrijvingen • SVDD Pin (hoofdstuk 7.2) • ParityDisable bit (hoofdstuk 9.2.1.14) • MFIN / MFOUT beschrijving toegevoegd (hoofdstuk 11.4) • diverse spellingcorrecties			
112104	november 2004			Revisie 0.3

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 177: Revisiegeschiedenis *...vervolg*

Document-ID	Releasedatum	Status gegevensblad	Wijzigingsbericht	Doc. nummer Vervangt
		• tijdelijke verwijdering typebestelinformatie • wijzigingen in registerbeschrijving • aanpassing figuur 22		
112103	oktober 2004			
		• wijzigingen in de registerbeschrijving		

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

31. Juridische informatie

31.1 Gegevensbladstatus

Documentstatus [1][2]	Productstatus[3]	Definitie
Objectief [kort] gegevensblad	Ontwikkeling	Dit document bevat gegevens uit de objectieve specificatie voor productontwikkeling.
Voorlopig [kort] gegevensblad	Kwalificatie	Dit document bevat gegevens uit het voorlopig bestek.
Product [kort] gegevensblad	Productie	Dit document bevat de productspecificatie.

[1] Raadpleeg het meest recent uitgegeven document voordat u een ontwerp start of voltooit.

[2] De term 'korte datasheet' wordt uitgelegd in het hoofdstuk “Definities”.

[3] De productstatus van apparaten die in dit document worden beschreven, is mogelijk veranderd sinds de publicatie van dit document en kan verschillen in het geval van meerdere apparaten. De laatste productstatus informatie is beschikbaar op internet op URL http://www.nxp.com.

31.2 Definities

Concept — Het document is alleen een conceptversie. De inhoud wordt nog intern beoordeeld en is onderhevig aan formele goedkeuring, wat kan leiden tot wijzigingen of toevoegingen. NXP Semiconductors geeft geen verklaringen of garanties met betrekking tot de juistheid of volledigheid van de hierin opgenomen informatie en is niet aansprakelijk voor de gevolgen van het gebruik van dergelijke informatie.

Kort gegevensblad — Een kort gegevensblad is een uittreksel uit een volledig gegevensblad met hetzelfde producttypenummer(s) en dezelfde titel. Een kort gegevensblad is alleen bedoeld voor snelle referentie en er mag niet op worden vertrouwd dat het gedetailleerde en volledige informatie bevat. Zie voor gedetailleerde en volledige informatie het relevante volledige gegevensblad, dat op verzoek verkrijgbaar is via het plaatselijke verkoopkantoor van NXP Semiconductors. In geval van inconsistentie of conflict met het korte gegevensblad, prevaleert het volledige gegevensblad.

31.3 Vrijwaringen

Algemeen — De informatie in dit document wordt verondersteld nauwkeurig en betrouwbaar te zijn. NXP Semiconductors geeft echter geen verklaringen of garanties, expliciet of impliciet, met betrekking tot de juistheid of volledigheid van dergelijke informatie en is niet aansprakelijk voor de gevolgen van het gebruik van dergelijke informatie.

Recht om wijzigingen aan te brengen — NXP Semiconductors behoudt zich het recht voor om op elk moment en zonder kennisgeving wijzigingen aan te brengen in de informatie die in dit document is gepubliceerd, inclusief maar niet beperkt tot specificaties en productbeschrijvingen. Dit document vervangt en vervangt alle informatie die voorafgaand aan de publicatie hiervan is verstrekt.

Geschiktheid voor gebruik — NXP Semiconductors-producten zijn niet ontworpen, geautoriseerd of gegarandeerd geschikt voor gebruik in medische, militaire, vliegtuig-, ruimte- of levensondersteunende apparatuur, noch in toepassingen waar redelijkerwijs kan worden verwacht dat een storing of storing van een NXP Semiconductors-product het gevolg is bij persoonlijk letsel, overlijden of ernstige schade aan eigendommen of het milieu. NXP Semiconductors aanvaardt geen aansprakelijkheid voor opname en/of gebruik van NXP Semiconductors-producten in dergelijke apparatuur of toepassingen en daarom is dergelijke opname en/of gebruik op eigen risico van de klant.

Toepassingen — Toepassingen die hierin worden beschreven voor een van deze producten zijn alleen voor illustratieve doeleinden. NXP Semiconductors geeft geen verklaring of garantie dat dergelijke toepassingen zonder verdere tests of aanpassingen geschikt zullen zijn voor het gespecificeerde gebruik.

Grenswaarden — Spanning boven een of meer grenswaarden (zoals gedefinieerd in het Absolute Maximum Ratings System van IEC 60134) kan permanente schade aan het apparaat veroorzaken. Grenswaarden zijn alleen spanningsclassificaties en de werking van het apparaat bij deze of andere omstandigheden dan die vermeld in de secties Kenmerken van dit document is niet geïmpliceerd. Blootstelling aan grenswaarden gedurende langere tijd kan de betrouwbaarheid van het apparaat aantasten.

Verkoopvoorwaarden — NXP Semiconductors-producten worden verkocht onder de algemene verkoopvoorwaarden, zoals gepubliceerd op http://www.nxp.com/profile/terms, inclusief die met betrekking tot garantie, inbreuk op intellectuele eigendomsrechten en beperking van aansprakelijkheid, tenzij uitdrukkelijk schriftelijk anders is overeengekomen door NXP Semiconductors. In geval van enige inconsistentie of tegenstrijdigheid tussen informatie in dit document en dergelijke voorwaarden, prevaleren de laatste.

Geen aanbod tot verkoop of licentie — Niets in dit document mag worden geïnterpreteerd of geïnterpreteerd als een aanbod om producten te verkopen dat openstaat voor acceptatie of de toekenning, overdracht of implicatie van enige licentie onder auteursrechten, patenten of andere industriële of intellectuele eigendomsrechten.

31.4 Handelsmerken

Opmerking: Alle merken, productnamen, servicenamen en handelsmerken waarnaar wordt verwezen, zijn het eigendom van hun respectieve eigenaars.

MIFARE® — is een geregistreerd handelsmerk van NXP BV

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

32. Contactgegevens

Ga voor meer informatie naar: **http://www.nxp.com**

Stuur voor adressen van verkoopkantoren een e-mail naar: **sales.addresses@www.nxp.com**

vervolg >>

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Notities

vervolg >>

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

33. Tafels

Tabel 1. Snelle referentiegegevens . . . . . 3 . .
Tabel 2: Bestelinformatie . . . . . 4 . . 7
Tabel 3: Pinbeschrijving . . . . . 9 Tabel 4: Communicatieoverzicht voor ISO/IEC 14443A/ MIFARE® reader/writer . . . 11 Tabel 5: Overzicht . . MFRC522-registers . . . 13 Tabel 6: Gedrag van registerbits en hun aanduiding
Tabel 7: Gereserveerd register (adres 00h); resetwaarde: 00u. . . . 13 Tabel 8: Beschrijving van gereserveerde registerbits . . 13 Tabel 9: CommandReg-register (adres 01h); resetwaarde: 20u. . . . 14 Tabel 10: Beschrijving van CommandReg-bits. . . 14 Tabel 11: CommIEnReg register (adres 02h); resetwaarde: 80 uur. . . . 14 . 14
Tabel 12: Beschrijving van CommIEnReg-bits 15
Tabel 13: DivIEnReg register (adres 03h); resetwaarde: 00u. . . . 16 Tabel 14: Beschrijving van DivIEnReg-bits. . . 16
Tabel 15: CommIRqReg register (adres 04h); resetwaarde: 14u. . 16
Tabel 16: Beschrijving van CommIRqReg-bits . . . 16 Tabel 17: DivIRqReg register (adres 05h); resetwaarde: X0h . . .
Tabel 18: Beschrijving van DivIRqReg-bits . . . . . 17 . 17
Tabel 19: ErrorReg register (adres 06h); resetwaarde: 00u. . . . 18 Tabel 20: Beschrijving van ErrorReg-bits . . . 18 Tabel 21: Status1Reg register (adres 07h); resetwaarde: 21u. . . . 19 Tabel 22: Beschrijving van Status1Reg-bits . . 19 Tabel 23: Status2Reg register (adres 08h); resetwaarde: 00u. . . . 20 Tabel 24: Beschrijving van Status2Reg-bits . . 20 Tabel 25: FIFODataReg register (adres 09h); terugstelwaarde: XXh . . . 21 Tabel 26: Beschrijving vanFIFODataReg-bits. . . 21 Tabel 27: FIFOLevelReg register (adres 0Ah); resetwaarde: 00u. . . . 21 Tabel 28: Beschrijving FIFOLevelReg-bits . . 21 Tabel 29: Register WaterLevelReg (adres 0Bh); resetwaarde: 08u . . 21 Tabel 30: Beschrijving. . . . WaterLevelReg-bits . . 22 Tabel 31: ControlReg register (adres 0Ch); resetwaarde: 10 uur. . . . 22 Tabel 32: Beschrijving van ControlReg-bits . . 22
Tabel 33: BitFramingReg-register (adres 0Dh); resetwaarde: 00h . . . 23 Tabel 34: Beschrijving van BitFramingReg-bits . Tabel 35: CollReg register (adres 0Eh); terugstelwaarde: XXh . . . 23 Tabel Beschrijving van CollReg-bits. . . . . 23 Tabel 37: Gereserveerd register (adres 0Fh); resetwaarde: 00h . . . . . 24 Tabel 38: Beschrijving van gereserveerde registerbits . . . . 24 Tabel 39: Gereserveerde kassa (adres 10h); resetwaarde: 00h . . . 24 Tabel 40: Beschrijving van gereserveerde registerbits . . . . . Tabel ModeReg register (adres 11h); terugstelwaarde: 3Fh . . . 25 Tabel 42: Beschrijving van ModeReg-bits . . . 25 Tabel 43: TxModeReg register (adres 12h); resetwaarde: 00h . . . . 25 Tabel 44: . . Beschrijving van TxModeReg-bits . . . 26 Tabel 45: RxModeReg register (adres 13h); resetwaarde: 00h . . . 26 Tabel 46: Beschrijving van RxModeReg-bits . . . 26 Tabel 47: TxControlReg register (adres 14h); resetwaarde: 80 uur . . . 27 Tabel 48: Beschrijving TxControlReg-bits . . . . 27 Tabel 49: TxAutoReg register (adres 15h); resetwaarde: 00h . . . . 28 Tabel 50: Beschrijving van TxAutoReg-bits . . . . 28 Tabel 51: TxSelReg register (adres 16h); resetwaarde: 10 uur . . . 28 Tabel 52: Beschrijving van TxSelReg-bits . . . 28 Tabel 53: RxSelReg register (adres 17h); resetwaarde: 84 uur . . . 29 Tabel 54: Beschrijving van RxSelReg-bits . . . 29 Tabel 55: RxThresholdReg register (adres 18h); resetwaarde: 84 uur. . . . 30 Tabel 56: Beschrijving van RxThresholdReg-bits. . . . . 30 Tabel 57: DemodReg register (adres 19h); terugstelwaarde: 4Dh . . . 30 Tabel 58: Beschrijving van DemodReg-bits . . . . 30 Tabel 59: Gereserveerd register (adres 1Ah); resetwaarde: 00h . . . 31 Tabel 60: Beschrijving van gereserveerde registerbits . . . . 31 Tabel 61: Gereserveerd register (adres 1Bh); resetwaarde: 00h . . . . 31 Tabel 62: Beschrijving van gereserveerde registerbits . . . . 31 Tabel 63: MfTxReg register (adres 1Ch); resetwaarde: 62 uur . . . 31

vervolg >>

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 64: Beschrijving van MifNFCReg-bits 31
Tabel 65: MfRxReg register (adres 1Dh); resetwaarde: 00u. . .
. . . . . .
Tabel 66: Beschrijving van ManualRCVReg-bits . . . . 32 . 32
Tabel 67: Gereserveerd register (adres 1Eh); resetwaarde:
00u. . . . . .
Tabel 68: Beschrijving van gereserveerde registerbits . . 32 . 32
Tabel 69: SerialSpeedReg-register (adres 1Fh); . 32 . 32
terugstelwaarde: EBh . . . . . .
Tabel 70: Beschrijving van SerialSpeedReg-bits . . . .
Tabel 71: Gereserveerde kassa (adres 20u); resetwaarde:
00u. . . . 33 Tabel 72: Beschrijving van gereserveerde
registerbits . . 33 Tabel 73: CRCResultReg register (adres 21h);
terugstelwaarde: FFh . . . 33 Tabel 74: Beschrijving van CRCResultReg
hogere bits 33 Tabel 75: CRCResultReg register (adres
22h); terugstelwaarde: FFh . . . 33 Tabel 76: Beschrijving van
CRCResultReg lagere bits . 33 Tabel 77: Gereserveerd register
(adres 23u); resetwaarde: 88 uur. . . . . 34 Tabel 78: .
Beschrijving van gereserveerde registerbits . . 34 Tabel 79:
ModWidthReg register (adres 24h); resetwaarde: 26 uur. . . . 34 . 34
. . . . . .
. .
. . . . . .
Tabel 80: Beschrijving van ModWidthReg-bits . . . . . .
Tabel 81: Gereserveerd register (adres 25u); resetwaarde: 87
uur. . . . . .
Tabel 82: Beschrijving van gereserveerde registerbits . . 34 . 34
Tabel 83: RFCfgReg register (adres 26h); resetwaarde: 48
uur. . . . 35 Tabel 84: Beschrijving van RFCfgReg-bits. . .
35 Tabel 85: GsNReg register (adres 27h); resetwaarde: 88 uur . . 35
Tabel 86: Beschrijving van GsNOnReg-bits . . 35 Tabel 87:
CWGsPReg register (adres 28h); resetwaarde: 20u. 36
Tabel 88: Beschrijving van CWGsPReg-bits . . . 36 Tabel 89: . .
ModGsPReg register (adres 29h); resetwaarde: 20u. . . . 36 . 36
. . . . . .
. . . . .
. . . . . .
Tabel 90: Beschrijving van ModGsPReg-bits . . . . . .
Tabel 91: TModeReg register (adres 2Ah); resetwaarde: 00u. . . .
37 Tabel 92: Beschrijving van TModeReg-bits . . 37 Tabel
93: TPrescalerReg register (adres 2Bh); resetwaarde: 00u. . . . 37
Tabel 94: Beschrijving van TPrescalerReg-bits . . 37 Tabel 95:
TReloadReg (Hogere bits) register (adres 38 Tabel 96:
Beschrijving van hogere TReloadReg bits. . . 38 Tabel 97: TReloadReg
(Lower bits)register (adres . 38
2K.); resetwaarde: 00h . . . . . .
2D uur); resetwaarde: 00h . . . . . .
Tabel 98: Beschrijving van lagere TReloadReg-bits . . . 38 Tabel 99:
TCounterValReg (hogere bits) register (adres 2Eh); terugstelwaarde:
XXh . . . . 39 Tabel 100: Beschrijving van hogere .
TCounterValReg-bits. 39 Tabel 101:TCounterValReg (lagere bits)
register (adres 2Fh); terugstelwaarde: XXh . . . . 39 Tabel
102: Beschrijving van lagere TCounterValReg-bits . 39 Tabel 103:
Gereserveerd register (adres 30h); resetwaarde: 00u. . . 39
Tabel 104: Beschrijving van gereserveerde registerbits . . . 39 Tabel
105:TestSel1Reg register (adres 31h); resetwaarde:
00h . . . 40 Tabel 106: Beschrijving van TestSel1Reg-bits 40
Tabel 107: TestSel2Reg register (adres 32h); resetwaarde:
00h . . . 40 Tabel 108: Beschrijving van TestSel2Reg-bits . . . . 40 Tabel
109:TestPinEnReg register (adres 33h); resetwaarde: 80 uur . . . 41
Tabel 110: Beschrijving van TestPinEnReg-bits . . . 41 Tabel
111: TestPinValueReg register (adres 34h); resetwaarde: 00h . 41 .
Tabel 112: Beschrijving van TestPinValueReg-bits . . . . 41 Tabel 113:
TestBusReg register (adres 35h); terugstelwaarde:
XXh . . . 42 Tabel 114: Beschrijving van TestBusReg-bits. . . . 42 Tabel
115: AutoTestReg register (adres 36h); resetwaarde: 40 uur . . . 42
Tabel 116: Beschrijving van AutoTestReg-bits. . . . 42 Tabel
117: VersionReg register (adres 37h); terugstelwaarde: XXh . . 42 Tabel
118: Beschrijving van VersionReg-bits . . . 42 Tabel 119:
AnalogTestReg register (adres 38h); resetwaarde:
00h . . . . 43 Tabel 120: Beschrijving van AnalogTestReg-bits . . 43 Tabel
121: TestDAC1Reg register (adres 39h); terugstelwaarde: XXh . . .
44 Tabel 122: Beschrijving van TestDAC1Reg-bits . 44 Tabel
123:TestDAC2Reg register (adres 3Ah); terugstelwaarde: XXh . 44 Tabel
124: Beschrijving vanTestDAC2Reg-bits . . . 44 Tabel 125:
TestADCReg-register (adres 3Bh); terugstelwaarde:
XXh . . . 44 Tabel 126: Beschrijving van TestADCReg-bits . . . 44 Tabel
127: Gereserveerd register (adres 3Ch); terugstelwaarde: FFh . . . 45
Tabel 128: Beschrijving van gereserveerde registerbits . . .
Tabel 129: Gereserveerd register (adres 3Dh); resetwaarde: 00h 45 . .
Tabel 130: Beschrijving van gereserveerde registerbits . . . 45
. . . . . .
. .
. . . . . .
. . .
. . . . . .
. . .
. . . . . .
. . .
. . . . . .
. . . . . .

vervolg >>

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

Tabel 131: Gereserveerd register (adres 3Eh); resetwaarde: 03u. . . . 45 Tabel 132: Beschrijving van gereserveerde registerbits . . . 45 Tabel 133: Gereserveerd register (adres 3Fh); resetwaarde: 00u. . . . . 45 Tabel 134: Beschrijving van gereserveerde registerbits . . 45 Tabel 135: Aansluitschema voor het detecteren van de verschillende interfacetypen. . . . . 46 Tabel 136: Bytevolgorde voor MOSI en MISO . . 47 Tabel 137: Bytevolgorde voor MOSI en MISO . . 48 Tabel 138. Adres byte 0 register; adres MOSI. 48 Tabel 139: Instellingen van BR_T0 en BR_T1 . . . 49 Tabel 140: selecteerbare overdrachtssnelheden . . . 49 Tabel 141: UART-kadering . . . 50 Tabel 142: Bytevolgorde om gegevens te lezen . . 50 Tabel 143: Bytevolgorde om gegevens te schrijven. . . 51 Tabel 144. Adres byte 0 register; adres MOSI. 51 Tabel 145: Instellingen voor TX1 . . . 61 Tabel 146: Instellingen voor TX2 . . . 62 Tabel 147: CRC-coprocessorparameters . . . 64 Tabel 148: Onderbrekingsbronnen . . 68 Tabel 149: Overzicht opdrachten . . . 72 Tabel 150: TestSel2Reg register (adres 07h) . . . 76 Tabel 151: Beschrijving van testsignalen . . 77 Tabel 152: TestSel2Reg register (adres 0Dh). . . . 77 Tabel 153: Beschrijving van testsignalen . . 77 Tabel 154: Beschrijving testsignalen . . 77 Tabel 155. Grenswaarden . . . 83 Tabel 156: Bedrijfsomstandigheden . . . 83 Tabel 157: Thermische eigenschappen . . . 83 Tabel 158: Ingangspenkarakteristieken voor pinnen EA, I2C en NRESET . . 84 Tabel 159: Ingangspenkarakteristieken MFIN. . . 84 Tabel 160: Ingang/Uitgang Pinkarakteristieken voor pinnen D1, D2, D3, D4, D5, D6 en D7 . . 84 Tabel 161: Ingangspenkarakteristieken voor pen SDA . . . 84 Tabel 162: Uitgangspenkarakteristieken voor pen MFOUT 85

Tabel 163: Uitgangspenkarakteristieken voor pen IRQ . . 85 Tabel 164: Ingangspenkarakteristieken voor pen Rx . . 85 Tabel 165: Ingangspenkarakteristieken voor OSCIN . . 85 Tabel 166: Uitgangspenkarakteristieken voor pinnen AUX1 en AUX2. . . . 86 Tabel 167: Uitgangspenkarakteristieken voor pennen TX1 TX2. . . 86 . 87 . 88 . 88 . 88 . 89 . 89

Tabel 168: Huidig verbruik. . . . . 90 . .
Tabel 169: RX-ingangsspanningsbereik . . . . . 90 . .
Tabel 170: Gevoeligheid RX-ingang . . . . . 91 . .
Tabel 171: Klokfrequentie . . . . . 91 . .
Tabel 172: XTAL-oscillator . . . . . 91 . .
Tabel 173: XTAL-oscillator . . . . . 91 . .
Tabel 174: Timingspecificatie voor SPI. . . . . 91 . .
Tabel 175. Overzicht I2C-timing in snelle modus. . . 90 . .
Tabel 176: Afkortingen . . . . . 91 . .
Tabel 177: Revisiehistorie . . . . . 97 . . 98

vervolg >>

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

34. Cijfers

Fig 1. Vereenvoudigd MFRC522 blokschema. . . . 5 Afb 2. MFRC522 Blokschema . . . 6 Afb 3. Pinconfiguratie HVQFN32 (SOT617-1).

7

Fig 4. MFRC522 Reader/Writer-modus. . . . 9 Afb 5. ISO/IEC 14443A/ MIFARE® lezer/schrijver . . 9

modus communicatie diagram. . . . . .

Fig 6. Gegevenscodering en framing volgens ISO/IEC 14443A.. 10

Fig 7. Verbinding met host met SPI . . 47 Fig 8. Aansluiting op m-controllers met UART.. . . 48 Fig 9. Schematisch diagram om gegevens te lezen. . . 50 Fig 10. Schematisch diagram om gegevens schrijven. . . 51 Afb 11. I2C-interface.. . . 52 Fig 12. Bitoverdracht op I2C-bus. . . 53 Afb 13. START- en STOP-voorwaarden. . . . 53 Fig 14. Bevestiging op de I2C-bus. . . . 54 Fig 15. Gegevensoverdracht op de I2C-bus.. . . . 55 Fig 16. Eerste byte na de START-procedure. . 56 Fig 17. Registreer lees- en schrijftoegang . . . 57 Afb. 18. I2C HS-modusprotocolschakelaar . . 58 Fig 19. I2C HS-modus protocolframe. . . . Fig 20. Seriële dataschakelaar voor TX1 en TX2. . . . 63 Fig 21. Overzicht MFIN/MFOUT Signaalroutering . . . 64 Afb 22. Quartz-aansluiting . . 69 Fig 23. Oscillator Opstarttijd. . . 71 Afb. 24. Uitgang TestDAC 1 op AUX1 en TestDAC 2 op AUX2. . . 79 Fig 25. Uitgangstestsignaal Corr1 op AUX1 en MinLevel op AUX2. . . .

. 80

Fig 26. Uitgang ADC kanaal I op AUX 1 en ADC kanaal Q op AUX 2. . . . 80 Fig 27. Uitgang RxActive op AUX 1 en TxActive op AUX 2.. . . . 81 Afb. 28. Rx-gegevensstroom uitvoeren op AUX 1 en AUX 2. . . . .

82

Afb. 29. Bereik RX-ingangsspanning . . . 88 Afb. 30. Tijdschema voor SPI. . . . 90 Fig 31. Timing voor apparaten in F/S-modus op de I2C-bus. .

91

Fig 32. Typisch toepassingscircuitschema. . . 92 Afb 33. Pakketoverzicht pakketversie (HVQFN32)

93

Afb 34. Verpakkingsinformatie 1 Lade . . . . .

Fig 35. Verpakkingsinformatie 5Lade . . . . . 95 . 96

vervolg >>

© NXP BV 2007. Alle rechten voorbehouden.

Machine Translated by Google

35. Inhoud

1 Inleiding. 1
2 Algemene beschrijving 1
3 Functies 1
4 Snelle referentiegegevens. 3
5 Informatie ordenen 4
6 Blokdiagram 5
7 Informatie vastzetten. 7
7.1 Vastzetten 7
7.2 Speldbeschrijving. 7
8 Functionele beschrijving 9
9 MFRC522 SET registreren 11
9.1 Overzicht MFRC522-registers 11
9.1.1 Registerbitgedrag . . 9.2 13
Registerbeschrijving 13
9.2.1 Pagina 0: commando en status 13
9.2.1.1 Gereserveerd. 13
9.2.1.2 CommandReg. 13
9.2.1.3 CommIEnReg. 14
9.2.1.4 DivIEnReg 16
9.2.1.5 CommIRqReg. 16
9.2.1.6 DivIRqReg. 17
9.2.1.7 FoutReg. 18
9.2.1.8 Status1Reg 19
9.2.1.9 Status2Reg 20
9.2.1.10FIFODataReg. 21
9.2.1.11FIFONiveauReg. 21
9.2.1.12WaterpeilReg. 21
9.2.1.13ControlReg 22
9.2.1.14BitFramingReg. 23
9.2.1.15CollReg. 23
9.2.1.16 Gereserveerd 24
9.2.2 Pagina 1: Communicatie 24
9.2.2.1 Gereserveerd 24
9.2.2.2 Modus Reg. 25
9.2.2.3 TxModeReg. 25
9.2.2.4 RxModeReg. 26
9.2.2.5 TxControlReg. 27
9.2.2.6 TxASKReg. 28
9.2.2.7 TxSelReg. 28
9.2.2.8 RxSelReg 29
9.2.2.9 RxThresholdReg 30
9.2.2.10DemodReg. 30
9.2.2.11Gereserveerd 31
9.2.2.12Gereserveerd 31
9.2.2.13MfTxReg. 31
9.2.2.14MfRxReg 32
9.2.2.15 Gereserveerd 32
9.2.2.16SerialSpeedReg 32
9.2.3 Pagina 2: Configuratie 33
9.2.3.1 Gereserveerd. 33
9.2.3.2 CRCResultReg 33
9.2.3.3 Gereserveerd. 34
9.2.3.4 ModWidthReg 34
9.2.3.5 Gereserveerd. 34
9.2.3.6 RFCfgReg. 35
9.2.3.7 GsNReg 35
9.2.3.8 CWGsPReg 36
9.2.3.9 ModGsPReg 36
9.2.3.10TMode register, TPrescaler register . . . 37 9.2.3.11TReloadReg 38
9.2.3.12TCunterValReg. 39
9.2.4 Pagina 3: Testen 39
9.2.4.1 Gereserveerd. 39
9.2.4.2 TestSel1Reg 40
9.2.4.3 TestSel2Reg 40
9.2.4.4 TestPinReg. 41
9.2.4.5 TestPinValueReg. 41
9.2.4.6 TestBus Reg. 42
9.2.4.7 AutoTestReg. 42
9.2.4.8 VersieReg. 42
9.2.4.9 AnalogTestReg 43
9.2.4.10TestDAC1Reg 44
9.2.4.11TestDAC2Reg. 44
9.2.4.12TestADCRReg 44
9.2.4.13 Gereserveerd 45
10 DIGITALE interfaces. 46
10.1 Automatische detectie van het type m-controller-interface. 46
10.2 SPI-compatibele interface 46
10.2.1 Algemeen 47
10.2.2 Gegevens lezen 47
10.2.3 Gegevens schrijven 48

Houd er rekening mee dat belangrijke kennisgevingen met betrekking tot dit document en de hierin beschreven producten zijn opgenomen in de sectie 'Juridische informatie'.

© NXP BV 2007. Alle rechten voorbehouden.

Ga voor meer informatie naar: http://www.nxp.com Voor adressen van verkoopkantoren kunt u een e-mail sturen naar: sales.addresses@www.nxp.com

Datum van uitgave: 22 mei 2007
Document-ID: 112132

founded by PHILIPS

Machine Translated by Google

10.2.4 Adresbyte 48
10.3 UART-interface 48
10.3.1 Verbinding met een host 48
10.3.2 Selectie van de overdrachtssnelheden 49
10.3.3 Kaders 50
10.4 I2C-businterface 52
10.4.1 Algemeen 52
10.4.2 Geldigheid van gegevens. 53
10.4.3 START- en STOP-voorwaarden 53
10.4.4 Byteformaat 54
10.4.5 Erkennen. 54
10.4.6 7-BIT ADRESSERING. 55
10.4.7 Schrijftoegang registreren 56
10.4.8 Leestoegang registreren. 57
10.4.9 HS-modus 58
10.4.10Overdracht met hoge snelheid 58
10.4.11 Seriële gegevensoverdracht Formaat in HS-modus . . 58
10.4.12Overschakelen van F/S- naar HS-modus en vice versa 60
10.4.13MFRC522 bij lagere snelheidsmodi . 11 60
Analoge interface en contactloze UART. . 61 . . 61
11.1 Algemeen . . . . . .
11.2 TX-stuurprogramma. 61
11.3 Seriële gegevenswisseling 63
11.4 MFIN/MFOUT-interfaceondersteuning 63
11.5 CRC-medeverwerker. . . 12 FIFO-. 64
buffer 65
12.1 Overzicht 65
12.2 Toegang tot de FIFO-buffer 65
12.3 Besturing van de FIFO-buffer 65
12.4 Statusinformatie over de FIFO-buffer . 65
13 Timer-eenheid. 67
14 Interrupt Request-systeem. 68
15 Oscillatorschakelingen. 69
16 Vermogensreductiemodi. 70
16.1 Harde uitschakeling 70
16.2 Zachte uitschakeling. 70
16.3 Zender uitschakelen 70
17 Reset en opstarttijd oscillator. 71
17.1 Timingvereisten resetten 71
17.2 Opstarttijd oscillator . 18 MFRC522 71
Opdrachtenset. 72
18.1 Algemene beschrijving 72
18.2 Algemeen gedrag 72
18.3 Overzicht van MFRC522-opdrachten 72
18.3.1 MFRC522 Commando Beschrijving. 73
18.3.1.1Inactief commando 73
18.3.1.2Mem-opdracht 73
18.3.1.3Genereer RandomID-opdracht 73
18.3.1.4CalcCRC-opdracht. 73
18.3.1.5Opdracht verzenden 73
18.3.1.6NoCmdChange-opdracht 73
18.3.1.7Opdracht ontvangen. 74
18.3.1.8 Zendcommando 74
18.3.1.9MFAuthent-opdracht 74
18.3.1.10SoftReset-opdracht 75
19 test signaal. 76
19.1 Zelftest 76
19.2 Testbus. 76
19.3 Testsignaal op pin AUX 77
19.3.1 Voorbeeld: Uitgang TestDAC 1 op AUX1 en TestDAC 2 op AUX2 . . . 79 . . . . . .
19.3.2 Voorbeeld: Uitgang Testsignaal Corr1 op AUX1 . 79 en MinLevel op AUX2. . . . . .
19.3.3 Voorbeeld: Uitgang ADC kanaal I op AUX 1 en . 80 ADC-kanaal Q op AUX 2. . . . . .
19.3.4 Voorbeeld: Uitgang RxActive op AUX 1 en TxActive op AUX 2 . . 81 . . . . . .
19.3.5 Voorbeeld: uitvoer Rx-gegevensstroom op AUX 1 . 82 en AUX 2. . . . . .
19.4 PRBS (pseudo-willekeurige binaire reeks) 82 20 . 83
Grenswaarden. . . . . .
21 Aanbevolen bedrijfsomstandigheden. . . . 83
22 Thermische eigenschappen. 83
23 Kenmerken 84
23.1 Ingangspenkarakteristieken. 84
23.1.1 Ingang Pinkarakteristieken voor pinnen EA, I2C en NRESET . . . 84. . . . . .
23.1.2 Input Pinkarakteristieken voor pin MFIN. . . . 84 23.1.3 Input/
Output Pinkarakteristieken voor pinnen D1, . 84
D2, D3, D4, D5, D6 en D7. . . . . .
23.1.4 Input Pinkarakteristieken voor pin SDA 84
23.1.5 Karakteristieken uitgangspennen voor pin MFOUT 85 23.1.6
Karakteristieken uitgangspennen voor pin IRQ. . . 85 23.1.7 Ingang
Pinkarakteristieken voor Pin Rx. 85
23.1.8 Input Pinkarakteristieken voor pin OSCIN . . 85

Houd er rekening mee dat belangrijke kennisgevingen met betrekking tot dit document en de hierin beschreven producten zijn opgenomen in de sectie 'Juridische informatie'.

founded by
PHILIPS

© NXP BV 2007.

Alle rechten voorbehouden.

Ga voor meer informatie naar: http://www.nxp.com Voor
adressen van verkoopkantoren kunt u een e-mail sturen naar: sales.addresses@www.nxp.com

Datum van uitgave: 22 mei 2007
Document-ID: 112132

Machine Translated by Google

23.1.9 Uitgangspenkarakteristieken voor pinnen AUX1 en AUX2. . . . 86
23.1.10Uitgangspenkarakteristieken voor pennen TX1 en TX2 86
23.2 Stroomverbruik . . . 87
23.3 RX-ingangsspanningsbereik . . . 88
23.4 RX-ingangsgevoeligheid . . . 88
23.5 Klokfrequentie . . . 88
23.6 XTAL-oscillator . . . 89
23.7 Typische 27,12 MHz kristalvereisten . 89 23.8 Timing voor de SPI-compatibele interface . . 90 23.9 I2C-timing . . . . 91 24 Applicatie-informatie . . . 92
25 Pakket overzicht. . . . 93
26 Verwerken van informatie . . . 94
27 Informatie over de verpakking. . . . 95
28 Afkortingen . . . 97
29 Referenties . . . 97
30 Revisie geschiedenis. . . . 98
31 Legale informatie. . . . 100
31.1 Gegevensbladstatus . . . 100
31.2 Definities . . . 100
31.3 Vrijwaringen . . . 100
31.4 Handelsmerken . . . 100
32 Contactgegevens . . . 101
33 Tabellen . . . 103
34 Figuren . . . 106
35 Inhoud . . . 107

Houd er rekening mee dat belangrijke kennisgevingen met betrekking tot dit document en de hierin beschreven producten zijn opgenomen in de sectie 'Juridische informatie'.

© NXP BV 2007.

Alle rechten voorbehouden.

Ga voor meer informatie naar: http://www.nxp.com Voor adressen van verkoopkantoren kunt u een e-mail sturen naar: sales.addresses@www.nxp.com

Datum van uitgave: 22 mei 2007
Document-ID: 112132

founded by
PHILIPS